

Corresponding to
WO 89/03563 A1

⑨ 日本国特許庁(JP)

⑩ 特許出願公表

⑪ 公表特許公報(A)

平2-501792

⑫ 公表 平成2年(1990)6月14日

⑬ Int. Cl.⁵

識別記号

庁内整理番号

審査請求 未請求

予備審査請求 未請求

部門(区分) 7(3)

H 04 L 12/56

G 06 F 15/16

4 0 0 K

6745-5B

7830-5K

H 04 L 11/20

1 0 2 Z※

(全 29 頁)

⑭ 発明の名称 クロスバースイッチ採用コンピュータ相互結合カブラ

⑮ 特 願 昭63-509346

⑯ 翻訳文提出日 平1(1989)6月16日

⑰ 出 願 昭63(1988)10月13日

⑱ 国際出願 PCT/US88/03571

⑲ 国際公開番号 WO89/03563

⑳ 国際公開日 平1(1989)4月20日

優先権主張 ⑳ 1987年10月16日 ⑳ 米 国 (U S) ⑳ 109,503

㉑ 発 明 者 ケント アレン アール

アメリカ合衆国 マサチューセッツ州 02174 アーリントン パーク アベニュー イクステンション 15

㉒ 発 明 者 スチュワート ロバート イー

アメリカ合衆国 マサチューセッツ州 01775 ストロー ノー ネーム ロード 1

㉓ 出 願 人 デジタル イクイブメント

アメリカ合衆国 マサチューセッツ州 01754-1418 メイナード コーポレーション

パウダー ミル ロード 111

㉔ 代 理 人 弁理士 中 村 稔 外7名

㉕ 指 定 国 AT(広域特許), BE(広域特許), CH(広域特許), DE(広域特許), FR(広域特許), GB(広域特許), IT(広域特許), JP, LU(広域特許), NL(広域特許), SE(広域特許)

最終頁に続く

添付(内容に変更なし)

構成の概観

1. 通信ポートを各々有する複数のデータ処理装置間でメッセージを送信するためのコンピュータ相互接続カブラが、

前記データ処理装置の一つの通信ポートに通信チャンネルを考えるために各々接続され、メッセージを前記装置から受信し、且つこの装置へ送信し、前記チャンネルの各々に対するための分離した受信及び送信手段を有する複数の電子クロスバースイッチ、

前記クロスバースイッチ間でメッセージを送信するための前記クロスバースイッチの各々に関連される複数のジャンクタ、及び

前記クロスバースイッチの全てに接続され、ジャンクタを選定して前記クロスバースイッチの一つに到達するメッセージをソース装置からメッセージによって指定される行き先装置に接続されるクロスバースイッチに送信する中央スイッチ処理手段を備えるコンピュータ相互接続カブラ、

2. 前記クロスバースイッチが、前記複数のデータ処理装置から非同期的にメッセージを受信するための手段を含む請求項1記載のコンピュータ相互接続カブラ、

3. システムクロック及び、受信したメッセージを前記クロックと同期するための手段を含む請求項1記載のコンピュータ相互接続カブラ、

4. 各チャンネルの受信手段及び送信手段を前記中央スイッチ手段によって選定されるジャンクタに接続するための各スイッチマトリックスを含む請求項1記載のコンピュータ相互接続カブラ、

5. メッセージが目標に送信されることに応答して、メッセージが発生されているチャンネル及び行き先チャンネルのスイッチングマトリックスの状態を反転し、前記メッセージを送信するために使用されるジャンクタが反対方向に選択して送信されるようにす

る手段、及び

前記反対方向で前記ジャンクタを介して確認を前記行き先チャンネルから前記メッセージ発生チャンネルに送信して、メッセージ発生装置に前記メッセージがうまく送信されたことの確認を迅速に与える手段を含むことを特徴とする請求項4記載のコンピュータ相互接続カブラ、

6. 前記中央スイッチ処理手段が、複数のチャンネルからランダムにメッセージ情報を受信し、メッセージ発生チャンネルに対する前記受信手段に、ジャンクタが各対応するメッセージの送信に関して各行き先チャンネルに選定されることを知らせる手段を含む請求項1記載のコンピュータ相互接続カブラ、

7. 前記ジャンクタが所定の時間を越えて前記チャンネルに接続され続けている場合、選定されたジャンクタをメッセージが発生されているチャンネルから切り離すタイムを含む請求項1記載のコンピュータ相互接続カブラ、

8. 前記診断処理装置を前記ジャンクタを介して前記通信チャンネルに接続する診断処理装置及び診断スイッチマトリックスを含む請求項1記載のコンピュータ相互接続カブラ、

9. 前記中央スイッチ処理手段及び前記クロスバースイッチの各々がエラーフラグレジスタ手段及びエラー発生時に前記診断処理装置をインタプラストする手段を含む、前記診断処理装置がこの様な中断に応じて前記エラーフラグレジスタにアクセスするための手段を含む請求項3記載のコンピュータ相互接続カブラ、

10. 前記転送手段を、診断処理のための同じチャンネルに対するための前記受信手段に直接接続するためのメンテナンスループ、診断メッセージを前記送信手段に且つ前記メンテナンスループを介して前記受信手段に接続するための手段、及び前記受信手段に

によって受信される前記診断メッセージを、前記送信手段に供給される診断メッセージと比較するための手段を含む請求項1記載のコンピュータ相互接続カブラ。

11. 各選定されたジャンクタへの送信に先立ち各メッセージに選定されたジャンクタを識別するデータを付け加える手段、及びメッセージが送信されることが意図されていたジャンクタから受信された各メッセージから付加されたデータを検査する手段を含む請求項1記載のコンピュータ相互接続カブラ。

12. 前記検査する手段がメッセージが転送されることが意図されていたジャンクタとは異なるジャンクタから受信されたメッセージであることを検出する時、メッセージの全ての部分の行き先装置への転送を阻止する手段を含む請求項1記載のコンピュータ相互接続カブラ。

13. 行き先装置への受信されたメッセージの送信に先立ち各受信されたメッセージから付加されたデータを照会する手段を含む請求項1記載のコンピュータ相互接続カブラ。

14. 各転送手段に対して、前記受信されたメッセージが送信手段のチャンネルに接続された行き先装置を識別するか否かを決定するためにジャンクタから受信された各メッセージを検査する手段が含まれる請求項1記載のコンピュータ相互接続カブラ。

15. 前記検査する手段が受信されたメッセージが、送信手段のチャンネルに接続された行き先装置を識別しないことを決めた時、メッセージの全ての部分の行き先装置への送信を阻止する手段を含む請求項1記載のコンピュータ相互接続カブラ。

16. 前記クロスバースイッチの制御人力を並列関係で接続する前記中央スイッチ制御手段からのジャンクタ制御バスを含む請求項1記載のコンピュータ相互接続カブラ。

ージを送信する方法が、

各通信チャンネルを介して、メッセージの所望の行き先を識別するアドレスデータを含むメッセージを、各データ処理装置のポートから、特定の装置に対して各々受信手段及び送信手段を有する各電子的クロスバースイッチに送信し、

受信手段に到達する各メッセージを、前記メッセージ内に識別された行き先におけるデータ処理装置用の電子的クロスバースイッチの送信手段に送信するためのジャンクタを選択し、

前記選択されたジャンクタを、メッセージ発生装置及び行き先装置のクロスバースイッチに接続し、そして

メッセージが向けられる装置のクロスバースイッチからの各メッセージを選択されたジャンクタを介して行き先装置に対する送信手段に送信し、次に行き先装置に送信するステップを有する方法。

25. 前記メッセージが、前記複数のデータ処理装置から非同期的に送信される請求項24記載の方法。

26. 受信手段に到達するメッセージが遅延されて、前記メッセージがシステムクロックに同期される請求項24記載の方法。

27. 受信手段によって受信された各メッセージ内のヘッダデータのフォーマットをチェックし、前記ヘッダのデータが所定の基準を満たす場合のみメッセージを転送するようジャンクタを選択するステップを含む請求項24記載の方法。

28. 受信手段に到達するメッセージが、メッセージを送信するためのジャンクタを選択する前に受信手段に接続されているものと想定されるデータ処理装置から向けられたことを確認するステップを含む請求項24記載の方法。

29. メッセージが、接続されたデータ処理装置に送信される前

17. 前記クロスバースイッチが前記ジャンクタ制御バスから受信される制御入力、特定のジャンクタを選択するエンコード数値、及び識別されたジャンクタに接続されたスイッチを選択的に開閉する信号を有する請求項16記載のコンピュータ相互接続カブラ。

18. 選択的に開閉を行う前記信号が、信号ビット命令信号及び信号ビット選定/解除信号を含み、前記クロスバースイッチが、前記命令信号によってストロブされ、前記エンコードされた数値及び前記選定/解除信号をラッチするレジスタを含む請求項17記載のコンピュータ相互接続カブラ。

19. 前記クロスバースイッチが、複数の異なる印刷回路基板に設けられており、前記各ボード上の前記クロスバースイッチの数が前記クロスバースイッチを相互接続するジャンクタの数に等しい請求項1記載のコンピュータ相互接続カブラ。

20. 前記ジャンクタの数が8である請求項19記載のコンピュータ相互接続カブラ。

21. 前記クロスバースイッチが少なくとも一つの集積回路に設けられており、この集積回路はクロスバースイッチの数に対応するスイッチング回路を与えており、前記スイッチング回路は同数のジャンクタによって相互接続されている請求項1記載のコンピュータ相互接続カブラ。

22. 前記スイッチング回路は一方性であるが、同じスイッチ回路が選定されたジャンクタに複数のメッセージを多重送信し、選定されたジャンクタからの複数のメッセージを分離するために使用される請求項21記載のコンピュータ相互接続カブラ。

23. 前記スイッチング回路がNANDゲートの二つのレベルを有する請求項22記載のコンピュータ相互接続カブラ。

24. 通信ポートを各々有する複数のデータ処理装置間でメッセ

に、所望の行き先に対する送信手段に到達したことを確認するステップを含む請求項24記載の方法。

30. 前記選択されたジャンクタを、メッセージ発生装置及び各メッセージを送信するための行き先装置の送信手段に接続し、次に選択されたジャンクタを行き先装置の受信手段に及びメッセージ発生装置の送信手段に直ちに接続し、前記メッセージを送信するために使用されるジャンクタが反対方向でデータを迅速に転送するのに使用できるようにされ、そして、

前記反対方向で前記ジャンクタを介して確認コードを行き先装置からメッセージが発生される装置へ送信して、このメッセージが発生されている装置に前記メッセージがうまく送信されたことの確認を直ちに与えるステップを有する請求項24記載の方法。

31. 複数のデータ処理装置からランダムにメッセージを受信し、ジャンクタが各メッセージの各行き先装置への送信のために選択されることをメッセージが発生されている装置に対する受信手段に知らせるステップを有する請求項24記載の装置。

32. 前記ジャンクタが所定の時間間隔を越えて前記装置に接続され続ける場合選択されたジャンクタをメッセージ発生装置から切り離すステップを有する請求項24記載の方法。

33. 通信ポートを各々有する複数のデータ処理装置間でメッセージを送信するコンピュータ相互接続カブラが、

前記データ処理装置の一つの通信ポートに各々接続されて、前記装置からメッセージを受信し且つこの装置へメッセージを送信する通信チャンネルを設け、分離した受信及び送信手段を前記チャンネルの各々に対して有している複数の電子的クロスバースイッチ、

前記クロスバースイッチ間でメッセージの送信をする前記クロ

スバースイッチの各々に関係する複数のジャンクタ、

前記クロスバースイッチの全てに接続され、ジャンクタを選定して前記クロスバースイッチの一つに到達するメッセージを、ソース装置からメッセージによって指定された行き先装置に接続されるクロスバースイッチに送達する中央スイッチ処理手段、及び選定されたジャンクタにメッセージを多重送達し、且つ同一の方向性のクロスバースイッチを介しての選定されたジャンクタからのメッセージを分離する手段から成るコンピュータ相互結合カプラー。

34. 前記クロスバースイッチが前記ジャンクタ制御バスから受給された制御入力、特定のジャンクタを識別するエンコード数値、及び指定されたジャンクタに接続するスイッチを逐次的に開閉するための信号を有する請求項33のコンピュータ相互結合カプラー。

35. 逐次的に開閉する前記信号が、信号ビット命令信号及び信号ビット選定/解除信号を含み、前記クロスバースイッチが、前記命令信号によりストロープされ、前記エンコード数値及び前記選定/解除信号をラッチするレジスタを含む請求項34記載のコンピュータ相互結合カプラー。

36. 前記クロスバースイッチが異なる複数の印刷回路板上に設置されており、各ボード上の前記クロスバースイッチの数が前記クロスバースイッチを相互接続するジャンクタの数に等しい請求項33記載のコンピュータ相互結合カプラー。

37. 前記ジャンクタの数が3である請求項36記載のコンピュータ相互結合カプラー。

38. 複数のクロスバースイッチが少なくとも一つの集積回路上に設けられており、この集積回路は複数のクロスバースイッチに対するスイッチング回路を提供し、前記スイッチング回路が前記

同じ数のジャンクタによって相互に接続されている請求項33記載のコンピュータ相互結合カプラー。

39. 前記スイッチング回路がNANDゲートの二つのレベルから成っている請求項38記載のコンピュータ相互結合カプラー。

特許(内容に変更なし)

明 細 書

クロスバースイッチ型コンピュータ相互結合カプラー

(技術分野)

本発明は一般的にはコンピュータシステムの相互結合の分野に関するものであり、さらに詳しくは、コンピュータシステム内の各種のデータ処理装置間のデータ・パケットの伝送に関するものである。特に、本発明は、各種のデータ処理装置間のアドレスされたデータ・パケットの伝送を制御するためのコンピュータ相互結合用カプラーに関するものである。

(背景技術)

従来のデジタル・コンピュータ・システムは少なくともメモリ、入出力装置、およびデータ・プロセッサを備えている。メモリは、アドレス可能な記憶場所に情報を格納する。この情報としては、コマンドおよびレスポンスを含む、データ処理のためのデータおよび命令がある。データ・プロセッサは、メモリに対して情報の転送を行い、入力した情報をデータあるいは命令として解釈し、また命令に従ってデータ処理を行う。入出力装置も、入力されたデータを格納し、出力された処理データを格納するために、メモリと接続されている。

典型的な小型のコンピュータ・システムは、中央処理ユニット、メモリ、入出力ユニットおよび電源を有しており、これらはキャビネット内に一体に取付けられている。このキャビネットはフレームを中心に形成されており、このフレームには、中央処理ユニット、メモリおよび入出力ユニット等のプリント回路基板を受け入れる平行に配置されたスロットを形成しているラック、すなわち「カード・ゲージ」が構成されている。回路基板の内側端には、カード・ゲージの「背面」上の接続部に結合する端子が配置され

ている。この「背面」には平行配列された多数の導電体であるバスが配置されており、これらのバスは、基板間を相互結合し、基板を電源に接続し、入出力ユニットを多数の入出力ポートに接続している。これらのバスによって、アドレスおよびデータ、コントロールおよび状態信号が伝送され、また電力供給および接地が行われる。典型的な入出力ポートは、コンソール端子用のポートを備えており、またフロッピー・ディスク・ドライブ、テープ・ドライブ、高速プリンタあるいはハード・ディスク・ドライブ等の、高速入出力装置あるいは大容量メモリ用のポートを少なくとも一つは備えている。

回路技術の進歩によって、各メモリあるいは入出力装置に対して専用で機能する付加データ・プロセッサの使用が実用化されるようになってきている。この結果、典型的な中央処理ユニット用のキャビネット内においては、数値計算用の第1のデータ・プロセッサおよび中央メモリ用の第2のデータ・プロセッサが配置される場合があり、例えば、メモリの一部で入出力データのフォーマットングあるいはバッファリングを行う一方で、メモリの他の部分で数値計算が行われる。また、キャビネットの外側にある中央処理装置内に入出力装置あるいは大容量メモリ装置では、データのバッファリング用およびセントラル・プロセッサからの高レベルのコマンドに応じて、装置を制御するために使用するデータ処理ユニットを少なくとも一つは備えているのが一般的である。

近年においては、計算能力およびデータ処理能力として、数個の中央処理ユニットによって実現される能力以上の能力が要求されるようになってきている。大規模シミュレーション等の特定用途に対しては、アドレス、データおよびコントロールのバスによって結合された多数のセントラル・プロセッサおよびメモリを備

えた大型コンピュータによってのみこのような要求が満足されているに過ぎない。しかし、一般的な用途に対しては、異なった場所に多数の一般的な中央処理ユニット、入出力装置および大容量メモリ装置が配置され、それらが相互に接続されて通信できるようになっているコンピュータ・ネットワークを構築することの方がより経済的である。中央処理ユニットはそれぞれ1つ以上の大容量メモリ・ユニットを分け合っており、共通のデータ・バスに対するアクセスおよびその更新を行うことが一般的である。

ネットワーク内でのデータ処理装置間の通信に使用可能な情報伝送法は数多くあるが、代表的な方法は、各種の要素間を相互接続している通信リソース（すなわち、チャネルあるいはバス）を分け合っており、使用されるものである。一般的に言って、シェア型バスを介しての二つの装置間の伝送動作には2つのステップが必要とされる。この理由は、各装置は同時に伝送を行う能力があるからである。第1のステップでは、規定インターバルの間でバス・コントロールを取得するためのユニットを駆動する。第2のステップは、バスを介しての情報伝送を行うためにユニット駆動する。

バス・コントロールの取得のためには、バス・アクセスを要求している装置のうちの特定のものを選択するための調停動作が必要である。この調停動作には二つの一般的な方法が知られている。一つは「集中型」調停であり、もう一つは「分散型」調停である。集中型調停においては、単一の集中優先回路あるいは装置がバス・アクセスの要求全てを受け取り、ある時点で要求を出している装置のうちの何れのものに対して最も高い優先順位を付与して、バスの使用を許可するのかが決定する。一旦、そのような装置が選択されると、バスの制御が可能となり、転送が有効となる。これに対して、分散型調停においては、バスに接続されている各エ

ユニットには特定の優先順位が割り振られ、各ユニットは個別に、バス・コントロールを取得したい場合には、それぞれがバス・コントロールを所望するために充分な優先順位を有しているのか否かを判定する。優先順位の高いユニットが同時にバスへのアクセスを要求している場合には、それよりも低い優先順位の装置は、自身が最も高い優先順位を有する要求側となるまで待機する必要がある。

分散型調停法は、「コリジョン・ディテクションを備えた隣接検知多アクセス」(CSMA/CD)として知られており、同軸ケーブル等の単一のビット・シリアル・サインを介しての多数の装置による通信を可能にする。各装置は、チャネルをモニターすると共に、二つの装置が同時に転送を行っているときを指示するための回路を備えている。転送を行っている装置が、同時に別の装置が転送を行っていることを検出した時には、双方の装置は転送動作を中止する。しかる後に、双方の装置はチャネルがクリアされた後に転送を再度トライする。

従来の同軸ケーブルによるシリアル・データ通信ネットワークは「イーザ・ネット」として知られている。このイーザ・ネットは、最大10メガビット/秒で動作し、ネットワーク・セグメント上において最大1023のアドレス可能な装置を提供できる。このイーザ・ネットは、非常に多数のタイムシェアリング端末を中央処理ユニットにリンクする場合に特に有用である。

個別のデータ処理装置間において、シェア型バスを介して高速で情報伝送を行うためには、高速同期化、アイソレーション、および高信頼性のデータ転送といった別の要求を満たす必要がある。これらの要求を満足するために、特別仕様のハードウェアおよび通信プロトコルが考案されてきている。

離れた位置にあるデータ処理装置を結合する多量バスを介して並列に高速でデータ伝送を行うことは、伝送速度に支障があるために、ほとんど実用的ではない。また、高速な同期化を行う必要があるために、ノン・リターン・ツー・ゼロのフォーマットでデータを伝送することは望ましくない。一本あるいは多数本のシリアル・データの流れを、モジュレートしたフォーマットあるいはセルフ・クロッキング・フォーマットで伝送することが望ましい。望ましいフォーマットは、マンチェスタ・エンコーディングであり、これはスタンダードの米国特許第4,592,072号公報およびスタンダード等による米国特許第4,450,572号に記載されており、これらの内容は本明細書内に参照して組み込まれている。マンチェスタ・エンコーディングは遅延および伝送成分を除去できるという利点もあり、この結果、エンコードされた信号は直ちに単一のアイソレーション・トランスフォーマーを通過することになる。

シェア型データ・バスを有するコンピュータ・ネットワークにおいては、確実なデータ伝送を行うことが特に重要である。このような場合、データ・バスの更新中におけるどのような割り込みも、発生するおそれのあるエラーを訂正するために、更新セントラル・プロセッサによって検出される必要がある。またこのような割り込みは、他のセントラル・プロセッサが一部変更されて使用されないデータを使用することのないように、メモリ・サーバによって検出される必要がある。

確実な高速データ伝送を行うための通信プロトコルは、シュトレック等による米国特許第4,560,985号公報に開示されており、この内容は参照としてここに組み込まれる。調停は、各データ処理装置がシェア型チャネル上でほぼ等しいアクセスの機会を得る

ように、図転換、すなわち「図形ロビン」に基づき行うことが望ましい。チャネル上にキャリアが存在しないことは、データ処理装置がアクセスを取得しようと試みたことを示している。調停タイムは、一定の期間以内にキャリアが存在しなくなった時に伝送が失敗したことを示す。データ・パケットの破壊あるいは他の伝送エラーは、定期的な冗長度チェック等のエラー検出コードによって検出される。

データ処理装置が正確にデータ・パケットを受け取った場合には、アクノリッジメント・コードを折り返し伝送することによって、そのパケットを受け取ったことを直ちに確認する。データ・パケットが受け取られると、処理された時には、ポジティブ・アクノリッジメント・コード(ACK)が戻される。情報パケットが正確に受け取られたものの、処理することが出来なかった時には、ネガティブ・アクノリッジメント・コード(NAK)が戻される。典型的な場合には、このネガティブ・アクノリッジメント・コードは、受け取ったデータ・パケットがバッファを利用出来ないために処理できず、従って、受け取られたデータが破壊されたことを示している。

アクノリッジメント・コードの伝送を行うための調停は不要である。それは、受け取られたデータ・パケットのキャリアが伝送チャネルから除去されると同時にこのコードは伝送されるからである。アクノリッジメント・コードの伝送は一定の期間内に終了しなければならない。この一定の期間の経過後は、他のデータ処理装置が調停動作および別個のデータ・パケットの伝送を開始する可能性がある。

データ処理装置が、データ・パケットの伝送後直ちにアクノリッジメント・コードを受け取らなかった場合には、再伝送を予め

定めた回数まで連続して試みる必要がある。同様に、ネガティブ・アタノリジメント・コードを受け取ったときには、それよりも幾分か多い回数だけ再伝送を試みる必要がある。デッドロックを打破するために、データ・パケットが再伝送可能な場合には、疑似乱数的な判別である「銭はむき」判別を行う必要がある。この判別結果が「真」ならば、再伝送が試みられる。この判別結果が「偽」であるならば、データ処理装置は一定の遅延期間の間待機して、判別動作を繰り返す。この遅延時間としては、例えば、データ処理装置の全てがチャネルをアクセスするために必要な最小時間は最低必要である。換言すると、全てのデータ処理ユニットが再伝送を試みようとしている場合には、破壊の検出および調整に必要とする時間の他に、データ・パケットの伝送およびアタノリジメント・コードの再伝送を行うことのできる時間がなければならない。

上記とは別の伝送チャネルが、通信における高有効性および高信頼性を確保するために必要である。ストレッカらの米国特許第4,490,785号に開示されているように、全てのチャネルが等しい可能性を有している場合に、ランダムに選ばれるチャネルを行う必要がある。チャネル選択のタスクは、別のチャネル間で分配使用されるインターフェース回路によって行われる必要がある。

上述した通信技術を使用するデータ処理装置を結合するためには、一般的には、装置のクラスターを直接に、各装置用の別個のワインディングを有する中央に位置する一対の信号トランスフォーマーに接続する。各トランスフォーマーによって、データ処理装置を相互結合しているシェア型チャネルが形成され、トランスフォーマーが中央位置にあることによって、伝送遅延が確実に最小とされる。しかし、このようなコンピュータの相互結合用カブラでは、

伝送バンド幅が制限され、あるいはシェア型チャネルのスループットに制限があることに起因して、持続性のある程度の制限がある。データ処理装置が中央トランスフォーマーに対して追加して相互結合された場合には、各プロセッサに比例してその伝送バンド幅のシェアが狭くなってしまい、よって、データ処理ユニットを追加して相互結合するためには、多数のチャネルを介して同時に伝送が行われるように別個のチャネルを追加する必要がある。しかし、この場合、各データ処理ユニットに対しては、ポートおよびインターフェース回路を追加する必要がある。さらには、これらのポートおよびインターフェース回路は同一のものとするとはできない。これは、追加した手段は、伝送用の特定のポートを選択し、ポートのうちの特定のものから入力されるデータを受け取るために必要とされるからである。このような修正を既存のコンピュータ装置上に構成すること決して望ましいことではない。

(発明の概要)

本発明の第1の目的は、持続性およびバンド幅が改善され、しかも既存のコンピュータ装置に対して実質的な修正を施すことの必要としない改善されたコンピュータ相互結合用カブラを実現することにある。

本発明の第2の目的は、相互接続された装置のクラスター構成を容易に変更できるようになったこのような改善されたコンピュータの相互結合用カブラを実現することにある。本発明のこれに関連した目的は、冗長チャネルを備えたこのようなカブラを実現して、各冗長チャネルに対して上記のクラスター構成を確実に一致させるようにすることにある。

本発明の第3の目的は、コンピュータ装置を追加して相互結合するための臨時的に拡張できる能力を備えたこのような改善され

たコンピュータ相互結合用カブラを実現することにある。

本発明の第4の目的は、内部欠陥が発生したときにデータ交換を修正し、この内部欠陥を診断して欠陥のある回路を分離すると共にこの回路を特定することの可能となった。このような改善されたコンピュータ相互結合用カブラを実現することにある。

本発明の第5の目的は、欠陥のある回路基板を新たなあるいは修理した回路基板と交換するのみで、修理後ただちに全稼働状態に復帰でき、カブラを解析して欠陥回路基板の修理のための情報を検査する必要のないように、改善されたコンピュータ相互結合用カブラを形成することにある。

これら及び他の目的を達成するために、コンピュータ相互結合用カブラが提供される。これは、複数の電子クロスバスイッチを有しており、各スイッチはデータ処理装置の通信ポートに接続されて、メッセージを前記装置から受け取る、又はこの装置にメッセージを送るための通信チャネルを提供する。このクロスバスイッチは、チャネルの各々に対する分離された受渡手段及び送信手段を有している。複数のジャンクタが、クロスバスイッチ間でメッセージを送信するために、各クロスバスイッチと関連している。また、このコンピュータ相互結合用カブラは、クロスバスイッチの一つに到達するメッセージを、ソース装置からメッセージによって指定された行き先装置に接続されたクロスバスイッチに送信するようジャンクタを選定するために全てのクロスバスイッチに接続された中央スイッチ選定手段を含んでいる。

好適な実施例においては、経路決定手段は、この経路決定手段を実行するために要求される時間中に先入れ先出しバッファ内の少なくともメッセージの先頭部分を記憶することにより発生データ処理装置によって明瞭なものとなる。制限されたバッファ機

能の実質的な制限のために、ビジーチャネルに対して指定されたいくつかのメッセージが放棄されねばならない。行き先チャネルが最早ビジーではない時に、これらのメッセージが再送され先入れ先出し原理に基づいて経路決めされることを可能するためには、ビジーチャネルへメッセージを送信するための要求が、行き先チャネルに選定された各先入れ先出しキュー（待ち行列）上に設置される。行き先キューは従って各チャネルをアクセスするための満足されない要求の順序づけられたリストを記憶する。チャネルが最早ビジーでないと、チャネルはキューのヘッドにある最も古い要求を満足するために一次的に保持される。再送されたメッセージの経路が決められ、所定の時間が経過した場合時に、キューのヘッドにある要求はキューから除かれる。

行き先チャネルが利用可能になり、且つ従り早く満足されなかった要求がサービスされる時よりも先に、放棄されたメッセージの再送をサービスすることにより経路決定回路に重荷が加わらないようにするために、好適な実施例においては、「フロー（流れ）制御」信号をソースチャネルのデータ処理装置に送信し、ソースチャネルからのキューされた要求はキューのヘッドに現れる時行き先チャネルがソースチャネルに一次的に保存され始めるまで再送を禁止する。

選定したチャネルへのアクセスを制限し、予め指定したチャネルから発生したメッセージが制限されたアクセスのチャネルにルーティングされるようにするために、相互結合用カブラは、予め指定した組のソース・チャネルおよびそれぞれの組の目的チャネルを格納する。目的チャネルにアドレスされているソース・チャネルからのメッセージのルーティングは、ソース・チャネルが少なくともこれらの組のソース・チャネル内に含まれたものであり、

かつ、アドレスされた目的チャネルが対応する目的チャネル内に含まれているものである場合にのみ、可能である。このポートの「バーチャル・スター・カブリング」によって、不正確にアドレス付けされたメッセージあるいは許可されていないメッセージの伝送が禁止され、これによってデータ処理装置の一体性、効率、および安全性が向上する。

コンピュータ相互結合用カブラの信頼性の大幅な改善は、一対のカブラを配置することによって達成される。これらのカブラは、相互にリンクされて、バーチャル・スター・カブリングの相互に一致した定義情報を確認し、またシステム内で相互結合されたデータ処理装置において発生し得る故障についての診断情報が互いに配分される。システムの信頼性は、各カブラに診断能力を付与することによってさらに改善される。これによって、内部欠陥が診断されて修理されることになる。修理の処理が容易にでき、再設置されるまでに欠陥のある回路が適切に修理される確率を高めるために、欠陥回路に関する内部診断情報が、欠陥回路の回路基板上の不揮発性メモリ内に記憶される。この結果、この情報は欠陥回路と共に修理施設に実際に運ばれることになる。

本発明の他の目的および利点は、以下の詳細な説明を読み、添付図面を参照することによって明らかとなる。

(図面の簡単な説明)

第1図は、従来形式の多数のデータ処理装置を相互結合するための本発明の好適な実施例の使用を示す説明図である。

第2図は、どのようにしてメッセージがジャンクタを介してソース・チャネルから目的チャネルに対してルート指定されるかを示すと共に、診断のためにどのようにして内部メッセージがジャンクタを介してルート指定されるかを示す概略図である。

へのメッセージのルート指定を可能にする信号を発生するメモリ/論理回路を示す。

第12図は、コンピュータ相互結合用カブラを介して伝送されるメッセージ用の特定のフォーマットの一例である。

第13図は、マンチェスタ・デコードおよびキャリヤ検出ロジックを有するシリアル・パラレル・コンバータを示す概略図である。

第14図は、メッセージ・リンクロナイザおよびレシーバ・コントロール・ロジック用のサイクル・カウンタの概略図である。

第15図は、メッセージのルート指定要求を発生するレシーバ・コントロール・ロジックの概略図である。

第16図は、メッセージ・キューイング用のレシーバおよびトランスミッタ・ロジックの概略図である。

第17図は、ファースト・イン・ファースト・アウト・バッファ用およびスイッチ・マリットタスのインターフェース用の論理回路の概略図である。

第18図は、スイッチ・マトリックス用および信号受け取り用の論理回路の概略図であり、上記の信号は、トランスミッタおよびレシーバに対してジャンクタが割り当てられたか否かを示すと共に、割り当てられたジャンクタのアイデンティフィケーション番号を示す。

第19図は、レシーバをジャンクタに接続するための好適なスイッチング回路の概略図である。

第20図は、ジャンクタをトランスミッタに接続するための好適な回路の概略図である。

第21図は、ジャンクタのリザーブおよびドロップ用のサービス要求を発生するレシーバ・ロジックの概略図である。

第22図は、実施例の回路を好適に回路基板上に配置する方法およびシェア型バスによる回路基板の相互結合の方法を示す概略図である。

第4図はソース・チャネルからのメッセージを目的チャネルにルート指定するために使用するコントロール・バス、および診断プロセッサとメッセージのルート指定を行う回路との間の結合を示す機能ブロック図である。

第5図は、発生源のポートから目的先のポートへのメッセージのルーティングおよび目的ポートからのアノリッジメント・コードの返却を示すタイミング図である。

第6図は、コントロール回路、コントロール信号、現在の論理状態および相互結合用カブラの構成を記憶するメモリ、および異常動作状態を検出する各種のタイマを、より詳細に示す機能ブロック図である。

第7図は、サービス要求が同一優先レベルにある場合における階層的回転優先順位評価法を示す概略図である。

第8図は、サービス要求が高い優先順位の組と低い優先順位の組とに分離され、各組内において発生した同時要求を併行するために別個の順序回路が配置されている二重優先順位法を実装化するための論理回路を示す概略図である。

第9図は、プライオリティ・リング・エンコードを示す概略図である。

第10図は、バーチャル・スター・カブラがどのようにして、一組の目的チャネルを伴ったメーカチャネルの組として設定されるのかを示す図である。

第11図は、最大8個のバーチャル・スター・カブラの定義情報を記憶し、特定のソース・チャネルから特定の目的チャネル

第22図は、レシーバへのジャンクタの割り変更を検出するレシーバ・ロジックの概略図である。

第23図は、トランスミッタ・コントロール・ロジックの概略図である。

第24図は、メッセージのルーティング、ジャンクタのリザーブおよびドロップ、メッセージのルーティング要求のキューイングおよびドロップのためのサービス要求を処理する中央スイッチ・ロジックの概略図である。

第25図は、中央スイッチ・ロジックで発生される要求プライオリティ・デコードの概略図である。

第26図は、ルーティング要求が可能であるか否かを判別する中央スイッチ・ロジックの概略図である。

第27図は、中央スイッチ・ロジックによって、ジャンクタのリザーブおよびドロップ用の要求を出すためのコンビネーション・ロジックの概略図である。

第28図は、中央スイッチ・ロジックによって、メッセージ・ルーティング要求のためのコンビネーション・ロジックの概略図である。

第29図は、メッセージをルーティングするために中央スイッチ・ロジックによって発生されるコンビネーション・ロジックの概略図である。

第30図は、メッセージ要求をドロップするために、中央スイッチ・ロジックによって発生されるコンビネーション・ロジックの概略図である。

本発明は、多岐にわたる変更や修正が可能であるが、特定の実施例を図示して以下に詳細に説明する。しかしながら、本発明をここに開示する特定の形態だけに限定するものではなく、本発明

は、特許請求の範囲に規定する精神および範囲内に含まれる全ての改良、等効物、そして変形も網羅するものである。

第1図は、本発明の様々な特徴を組み込んだコンピュータ相互接続カプラー（一般的に50で示す）の使用例を示すものである。高い信頼性を得るために、カプラー50は、例えば、光ファイバージャク53によって互に接続された2つの同一のカプラー51と52によって形成されている。リンク53は、カプラー51、52のいずれかによって受け取ったオペレータ要求により状態が変化するときにカプラー51および52の構成が同一の状態に維持されるよう確保する。カプラー51と52は、これらによって相互接続された多数のデータ処理装置の状態及び起こりえる機能不良についての情報を分送するためにリンク53を使用することもできる。これらのデータ処理装置は、中央処理ユニット54、55、56、57、58と、磁気テープドライブ61、62、63のためのサーバ59、60と大量データ記憶装置即ちディスクメモリ64、65、66、67、68、69を含む。通常のケースでは、中央処理ユニット54ないし58は、高速データプリンタ70、71または低速データプリンタ72、73そして多数の時刻制御ターミナル（図示せず）、コミュニケーション装置（図示せず）及び用途に特定の装置（図示せず）に直接リンクされている。

コンピュータ相互接続カプラー51、52は、データ処理装置54-60を測々の場所、例えばビルディングの両端に設置できるようにする。さらに、カプラー51と52は、システム内のいずれかのデータ処理ユニットも、システム内の他のいずれかのデータ処理ユニットに、アドレスされたデータパケットを送れるようにする。その上、カプラー51と52は、1つのデータ処理装置から別の処理装置へメッセージを送信するように構成又はプログ

ラムすることができ、それは、ソースデータ処理装置及び行き先データ処理装置の各チャンネルがシステムに対して定められた少なくとも1つの「仮想スターカプラー」に関連した予め定められたソースチャンネルセット及び行き先チャンネルセットに各々含まれる場合においてのみである。従って、コンピュータ相互接続カプラー51、52は、あるデータ処理装置へのアクセスを制限し、ある方向のみのデータ転送を許可し、そして機密性の目的のため、メッセージが最初にあるデータ処理装置に運ばれた場合にのみそのメッセージを別のデータ処理装置にルーティングできるようにする。

これ以降の図面に示された特定の実施例によれば、それぞれのカプラー51、52は2段電子クロスバスイッチで、これは、8個の独立した相互接続通信ジャンクタを構成するのが好ましい、各ジャンクタは、両方向性で、1秒間に70メガビットのデータを搬送するのが好ましい。それぞれのカプラー51、52は、少なくとも64チャンネルを相互接続できるのが好ましい。カプラー51、52に接続されたチャンネルは、論理的に、8つ程度の仮想スターカプラーに分けることができ、そしてチャンネルに接続されたデータ処理装置は、距離し直すことなく1つの仮想スターカプラーから、別の仮想スターカプラーへと物理的に論理的に移動できる。

第2図は、ソースチャンネルXから行き先チャンネルYまでのメッセージをルーティングすることを示す概略図である。チャンネルXは、インターフェイス回路82をリモート位置のデータ処理装置と相互接続する通信ケーブル81によって定められる。同様に、チャンネルYは、第2の通信ケーブル85を通して他のリモートデータ処理装置に相互接続されるインターフェイス回路

83を有する。

図明上、チャンネルXのためのインターフェイス回路82は、チャンネルYにアドレスされるデータパケットを含むメッセージを通信ケーブル81を通して受け取りと復元する。それ故、このメッセージの目的として、チャンネルXはソースチャンネルとしてチャンネルYは行き先チャンネルとなる。このようなメッセージを処理するために、それぞれのチャンネルには独自のチャンネル番号が指定される。

メッセージをルーティングするために、メッセージの最初の部分がインターフェイス回路82から受信ロジック回路84へと送られる。受信ロジック回路84はルーティング要求を発生し、もしこれが満足されると、複数のジャンクタ86の1つが受信ロジック回路84に指定される。この指定により、スイッチマトリクス87の各スイッチが閉じ、そして受信ロジック回路84が指定のジャンクタに接続される。第2図に示されているように、例えば、受信ロジック回路84はスイッチ89を閉じることによってジャンクタ83に接続される。

メッセージをそのアドレスされた行き先チャンネルにルーティングするには、更に、その指定のジャンクタ88が、行き先チャンネルに関連した送信ロジック82に接続される必要がある。このため、送信ロジック回路82は、スイッチ91を含むスイッチマトリクス90によってジャンクタ86に接続され、そのスイッチ91は、これが閉じると、ジャンクタ88を送信ロジック回路92に接続する。スイッチマトリクス87、90内のスイッチの要求される状態は、ジャンクタ制御バス93を通して送られる制御信号によってセットされる。この制御信号は、送信ロジック回路92によって受信され、リンクが確立されたことと、メッ

ッセージがジャンクタ86の1つを通して伝送されることを示す。メッセージを受信すると、送信ロジック92は、メッセージをチャンネルインターフェイス回路83に送り、通信ケーブル85を通してアドレスデータ処理装置へ送るようにする。

メッセージを受信すると、アドレスされたデータ処理装置は、ソースデータ処理装置に確認信号を返送する。この確認信号は、通信ケーブル85を通して返送され、インターフェイス回路83に送られ、そして関連する受信ロジック回路84へ送る。受信ロジック回路84が元のメッセージの送信を終えたときに返送される確認信号の受信を予想する際に、ジャンクタ制御バス93を経て制御信号を発生させ、これにより、スイッチ89及び91を開きそしてスイッチ95及び96を閉じ、チャンネルYに関連した受信ロジック回路84と、チャンネルXに関連した送信ロジック回路92との間に接続を確立する。返送される確認信号は、送信ロジック回路92により、チャンネルXに関連したインターフェイス回路82へ送られ、最初にメッセージを出したデータ処理ユニットへ返送される。

相互接続カプラー51内の回路をテストするために、相互接続カプラーは更に制御及び診断ロジック98を備えており、このロジックは制御信号を発生し、これらはジャンクション制御バス93に送られて、選択された1つのチャンネルの受信及び送信ロジックを通る「保守」ループを確立する。制御及び診断ロジック98は診断メッセージを発生し、これは、診断スイッチマトリクス99を通してジャンクタ86の1つに送られる。このため、例えば、スイッチ89、91及び95が閉じられそしてスイッチ96が開じられる。さらに、スイッチ100が開いて、制御及び診断ロジック98をジャンクタ88に接続し、これにより、送信

ロジック97への送信経路を確立する。制御及び診断ロジック88は、ジャンクション制御バス93を経て制御信号を発出し、スイッチ101及びスイッチ102を閉じて、受信ロジック回路84から診断ロジック98へ至る返送路を確立する。それに加えて、全ての内部回路が保守ループ103によって閉じられ、送信ロジック97から受信ロジック84までの信号経路を形成する。例えば、送信ロジック97及び受信ロジック84は、インターフェイス回路82から切断され、受信ロジック84及び送信ロジック97の双方がスイッチマトリクス87を通してジャンクタ86に接続されたときに保守ループ103を通して相互接続される。送信された診断メッセージと、受信された診断メッセージを比較することによって、制御及び診断ロジック98は、スイッチマトリクス87を制御する際のエラー、又はスイッチマトリクス87、受信ロジック84或いは送信ロジック97の不適當な動作を検出することができる。これらのエラーは、制御ターミナル105を通してシステムオペレータ104に知らされる。

第3図は、第1図の相互接続カブラー51又は52の1つを形成する様々な回路基板の図である。回路基板は、中央処理ユニットに使用される種類の通常のカードケイジに取付けられ、その回路基板は、通常の電源装置111によって作動される。例えば、この実施例における電源、カードケイジ及び送風装置は、デジタル・イタリメント・コーポレーションの"VAX 8600/8650"中央プロセッサに使用されているものと同様のものである。しかしながら、カードケイジの"バックプレーン"を変更して、第3図に示すように、多数のバスで回路基板を相互接続することもできる。

51で一般的に示された例示的なコンピュータ相互接続スイ

99)。ホリゾンレベル情報をダウンロードしそして診断スイッチマトリクスをセットするために、診断プロセッサ112は、中央スイッチロジックに割り込むか又は制御コマンドを送り、以下に詳しく述べるように、中央スイッチロジックのメモリ及びレジスタをアドレスできるようにする。

又、診断及び制御バス120は、スイッチ制御ボード121及びチャンネルインターフェイスボード122、123に含まれた電気的に消去可能且つプログラム可能なメモリ(EEPROM)に診断プログラム112をリンクするのに用いられ、これは、欠陥のある回路板が修理のために取り外される前にこの欠陥回路板に診断情報を書き込むためである。それ故、欠陥が検出されたときのシステムの状態及び形態のような診断情報と、診断へと導くエラーフラグは、欠陥回路板と共に修理工場へ送られる。このことは、欠陥のある回路板が返送されたときに、その回路板上の全ての欠陥を適切に修理する見込みが高くなるように回路板に対してより完全な修理を確保する。各回路板のEEPROMは、診断情報と共に、回路板の識別情報、例えば、その回路板の形式又はそれによって行なわれる機能、回路板のシリアル番号、回路板の製造年月日と場所、及びその回路板の修理経歴を含むのが好ましい。

所望のチャンネル数がある最大数まで受け入れるようコンピュータ相互接続カブラー51を徐々に拡張するために、コンピュータシステムに相互接続されるべきある個数のデータ処理装置の各々に対してチャンネルインターフェイスボード122が設けられている。詳しくは、チャンネルインターフェイスボードは、8個のチャンネルに対するインターフェイス回路と共に、それに関連した受信ロジック、送信ロジック及びスイッチマトリクス回路

を、少なくともコンソール及び診断プロセッサのための回路板112を備え、これは、第2図の制御及び診断ロジック98を構成するものである。診断プロセッサ112は、例えば、デジタル・イタリメント・コーポレーションの"PD P-11"をベースとするプロセッサである。診断プロセッサに関連して、一つのフロッピーディスクドライブ113、光ファイバリンク53、そして制御ターミナル、オプションのリモートドライブ及び制御パネルへのリンクがある。又、診断プロセッサ112は、診断プロセッサ用のプログラムメモリ115及びデータメモリ116を含むメモリボード114にも関連している。プログラムバス117は診断プロセッサをプログラムメモリ115にリンクし、そしてプロセッサデータバス118は、診断プロセッサとデータメモリ116とをリンクする。

本発明の特徴によれば、メモリボード114は、更に、スイッチルーティングホリゾンレベルの情報を記憶するスイッチ制御メモリ119を含む。この情報は、例えば、システムの故障状態カブラーを定義したもののマスターコピーを含み、そして異常なまたは不適當な動作状態がコンピュータ相互接続カブラー中のロジック回路に起きていることを検出するための様々なタイマーの時間間隔を定めるデータも含む。診断制御バス120は、スイッチ制御メモリ119と診断プロセッサ112をリンクするために整備されている。診断制御バス120は、診断プロセッサがホリゾンレベル情報を中央スイッチロジックにダウンロードできるようにし、このロジックは、スイッチマトリクスを制御することにより選択されたジャンクタを通じてメッセージをルーティングする。中央スイッチロジックは、スイッチ制御ポート121に含まれ、このポートは診断スイッチマトリクスも含む(第2図

を含んでいる。スイッチ制御ボード121の診断スイッチマトリクスは、ジャンクタ86によりチャンネルインターフェイスボード122のスイッチマトリクスにリンクされ、ジャンクタは、システムに取り付けることのできる他のチャンネルインターフェイスボード123のスイッチマトリクスまで延びている。スイッチマトリクスのスイッチをセットしたりリセットしたりするために、スイッチ制御ボード121は、ジャンクタ制御バス99を通して、チャンネルインターフェイスボード122、123にリンクされる。

チャンネルインターフェイスボード122、123がスイッチ制御ボード121の中央ロジックヘルティンク又は待ち行列の要求を送信するようにするために、それらボードは、スイッチ制御バス124を通してリンクされる。又、スイッチ制御バス124は、確信信号を送信したり、流れ制御信号をスイッチ制御ボード121からチャンネルインターフェイスボード122、123へ送るのにも使用される。その上、チャンネルインターフェイスバス122、123は、診断制御バス120にもリンクされていて、診断プログラム112がタイマーインターバルのような情報を送信及び送信ロジックにダウンロードできるようにすると共に、診断プロセッサがカウンタ、レジスタ、送信及び受信ロジックの状態について質問できるようにする。

コンピュータ相互接続カブラーの動作中に、スイッチ制御ボード121及びチャンネルインターフェイスボード122、123の回路によって幾々の警報又はエラー状態が発生される。診断プロセッサがこれらの警報状態を素早く確認できるようにするため、診断制御バス120はスイッチ制御ボード121とそれぞれのチャンネルインターフェイスボードに対して各割り込み要求ライン

を含んでいる。診断プロセッサ112が割り込みされると、これは、割り込み要求を発しているボードのエラフフラグレジスタをアドレスする。

回路板121、122、123を取り付けたり取り外したりするときにはコンピュータ相互接続カプラーの操作を容易にするため、個別の状態ノクリアバス125が設けられており、これは、診断プロセッサがカードケイジの各スロット（図示せず）をポーリングして、回路板が取り付けられているかどうかの情報が得られるようにし、そしてもしそうならば、回路板の形式と、それに関連したチャンネル番号を示す情報も得られるようにする。状態ノクリアバスは、例えば、診断プロセッサ112から回路板の各スロットへ至る個別のイネーブルライン及び個別のクリアラインを含む。イネーブルラインは、回路板が各状態レジスタから状態バスに格った状態コードを送信できるように順次作動される。クリアラインは、診断プロセッサがそれぞれの回路板121、122、123を独立してリセットできるようにする。

コンピュータ相互接続カプラーは、更に、トラフィックデータ収集ボード126を含み、これはトラフィックデータ制御バス127を通じて診断プロセッサ112とリンクされている。トラフィックデータ収集ボードは、例えば、各ジャンクションを経て送られそして各チャンネルから発生されるか又はそこに送られるメッセージの間接数を記録するアドレス可能なカウンタを含む。

第4図は、様々な回路機能間の重要な制御経路を含むコンピュータ相互接続カプラーの機能ブロック図である。チャンネルインターフェイス回路82は、通信ケーブル81に接続されたライン受信器132及びラインドライバ133を含む。通信ケーブル81は、例えば、ファイソレーション変成器（図示せず）を経てラ

イン受信器132及びラインドライバ133に各々接続された一対の同軸ケーブルから成るが、ライン受信器132及びラインドライバ133に接続された一対の光ファイバラインから構成されてもよい。同様に、他のチャンネルインターフェイス回路83も、通信ケーブル85に接続されたライン受信器136及びラインドライバ137を含む。ライン受信器132及びラインドライバ138は、保守ループ103を形成するようにスイッチできるマルチプレクサ159を通してそれぞれの受信及び送信ロジック84、97に接続される。他のチャンネルインターフェイス回路83も同様のマルチプレクサ146を含む。

通信ケーブル81、85を通じて送信及び受信されるデータは、マンチェスターエコーデイングのような自己同期又は自己クロックフォーマットを用いて直列ビット流として送信されるのが好ましい。データ率は、例えば、1秒当たり70メガビットである。直列ビット流中のクロックが回復され、そしてデータビットはマンチェスターエコーデイング及び直列/並列コンバータ141によって8ビットバイトに枠組みされる。回路設計を簡単にするため、共通の内部クロックを用いて全てのチャンネルからのデータが処理される。それ故、同期回路142は、データバイトを内部クロックに同期させるようにデータバイト流を逐次的に遅延させるのに用いられる。同期されたバイトは、先入れ先出しバッファ143に送り込まれ、メッセージのルーティング中に一次的な記憶が与えられる。受信制御ロジック84は、メッセージのヘッダから行き先アドレスを得る。又、受信制御ロジック84は、ヘッダが所定のフォーマットに合っているかどうかを決定し、もしそうならば、受信制御ロジックは、メッセージをルーティングするためのサービス要求を中央スイッチロジック144に送る。

予め定められた仮想スターカプラーのみに従ってメッセージをルーティングできるようにするために、中央スイッチロジック144は、行き先アドレスと、ソースチャンネルに対して定められて中央ロジック状態メモリに記憶された1組の所定の有効行き先アドレスとを実際に比較する。もしメッセージが許可されないアドレスにアドレスされると、中央スイッチロジック144は、そのメッセージをルーティングするためのサービス要求を拒絶する。さもないければ、中央スイッチロジックは、ジャンクタがフリーであるかどうかを判断すると共に、行き先チャンネルの送信器又は受信器がビジーであるかどうかを判断する。もしジャンクタが使用可能で、行き先チャンネルがビジーでなければ、メッセージがルーティングされる。そうでない場合には、メッセージのルーティング要求は、“行き先待ち行列”中に入れられ、行き先チャンネルがもうビジーでなくなった際に、その要求が満たされるようにする。

メッセージ要求が待ち行列に入れられるときには、バッファ143のメッセージを送信することができず、これは放棄される。メッセージを送信できるまで全メッセージを記憶するに充分な記憶装置を設けることはできるが、これは必要とされず、過剰な量のメモリと付加的なロジックの複雑さが要求される。更に、後で送信するように全メッセージを記憶することによりメッセージ送信プロセスの完全性が低減される。というのは、行き先データ処理装置による受信を直ちに確認できないからである。これに対し、本発明の好ましい実施例によれば、メッセージの開始のみが一時的に記憶され、それにより、メッセージ受信の確認は若干遅延されるだけであって、コンピュータ相互接続カプラーはデータ処理装置に対して比較的透過的であると考えられる。

行き先チャンネルがビジーであるためにメッセージ要求が待ち行列に入れられたときにソースチャンネルに接続されたデータ処理装置がメッセージを再送信しないようにするために、それに対応する流れ制御信号がソースチャンネルに送られ、メッセージが待ち行列に入れられたことを受信制御ロジック84に指示する。又、この流れ制御信号は、ソースチャンネルに関連した送信器を作動し、流れ制御信号を元のデータ処理装置へ返送する。受信の際には、流れ制御信号により、データ処理装置は、中央スイッチロジックが行き先アドレスのチャンネルがメッセージを搬送しないと判断しそして待ち行列に入れられたメッセージ要求が行き先待ち行列の頭部に現われるまで再送信を行わないように禁止され、これらの条件が満たされると、中央スイッチロジック144は流れ制御信号をオフにし、ソースチャンネルのデータ処理装置がメッセージを再送信するようにする。

ジャンクタが利用できないためにメッセージルーティング要求が待ち行列に入れられた場合には、流れ制御信号が送られず、ソースチャンネルのデータ処理装置は、メッセージを再送信できるようにするや否や自由に再送信を行なう。中央スイッチロジック144は、メッセージをルーティングできるようにになると、ジャンクタ制御バス93に信号を送って、フリージャンクタをソースチャンネル受信器及び行き先チャンネル送信器に指定する。ジャンクタが指定された場合には、スイッチマトリクス87、90の各スイッチが閉じられ、受信制御ロジック84及び送信制御ロジック92は、指定のジャンクタに対してメッセージを送信及び受信すべきであることが信号される。送信の際に、受信制御ロジック84はメッセージの開始部にタグを追加し、タグが指定のジャンクタを経て送信されると、メッセージがバッファ143からク

ロックされて出される。タグは、指定のジャンクタ、ソースチャンネル数及び行き先チャンネル数を識別する情報を含んでいる。送信制御ロジック 92 は、タグを検査し、タグが間違っている場合にメッセージの送信を阻止する。さもなければ、タグが制御され、メッセージの開始部にビット同期ヘッダが追加される。次いで、ヘッダは、流れ制御及びデータマルチプレクサ 145 と、並列/直列コンバータ及びマンチェスタエンコード 147 を経て送られ、行き先データ処理装置へ直列形態で搬送される。

メッセージ送信の終りに、送信制御ロジック 84 は、バッファ 143 が空であることを通知し、スイッチマトリクス 87、90 のスイッチの状態を変える要求を中央スイッチロジック 144 に送り、指定のジャンクタに対してデータの流れを逆転させる。次いで、行き先データ処理装置からの確認が指定のジャンクタを経て返送され、ソースデータ処理装置へ送られる。確認の送信後、指定のジャンクタが復たされる。

診断メッセージのルーティングも同様に行なわれるが、コンソール及び診断プロセッサ 112 は、送信及び受信ロジックを含む診断メッセージ制御ロジック 148 に接続されたバッファ 143 を経て診断メッセージを送信及び受信する。

図 5 図には、メッセージが送信されてルーティングされそして対応する確認が返送されたときに生じる一次制御信号のタイミング図が示されている。コンピュータの相互接続カラーは、RESET 信号により初期状態にセットされる。RESET 信号がインアクティブになった後に、ソースチャンネル X の受信器は通信ケーブル 81 から入っているキャリアを探索する。キャリアを見つけると、受信器は、INTERNAL MESSAGE 信号によって指示されるメッセージの開始を知らせる文字同期コードを探索する。

し又は否定 (NACK) 確認でもない場合には、Y チャンネル受信器及び送信器の間隔が ACK/NACK モードに入れられ、これは、信号の送信後に、チャンネル Y の受信器が行き先データ処理装置からの確認を予想すべきであることを指示する。特に、チャンネル Y の送信器からメッセージを最初に送信した後のある時間中に、チャンネル Y の受信器が確認を予想すべきであり、そしてその確認の受けた際に、既に指定されたジャンクタが確認の返送に指定されているために、チャンネル Y の受信器がメッセージのルーティング要求を必要としないことをチャンネル Y の受信器に指示する。又、ACK/NACK モードは、メッセージ処理の完了の際に、REVERSE JUNCTION 要求ではなくて BRUP JUNCTION 要求を中央ロジックに送信すべきであることを Y チャンネル受信器に指示する。

第 5 図に示すように、確認は、チャンネル Y の受信器の RX OF DESTINATION INTERNAL MESSAGE 信号によって指示される。返送メッセージは、ジャンクタがチャンネル Y の受信器に指定されたある時間後に生じる。返送確認のルーティングは必要とされず、メッセージ終了の非常に短時間後に、チャンネル Y の受信器は、BRUP JUNCTION 要求を中央スイッチロジックに送信する。いったんメッセージが処理されそして確認が終了すると、ジャンクタが復たされ、受信回路は、更に別のメッセージを受信するために初期状態に戻される。

第 6 図は、制御ロジック、制御信号、制御ロジックに関連した制御メモリ及びある所定の時間インターバル内に制御信号が生じるよう確保する種々のタイマーの機能ブロック図である。

メッセージを受信する場合には、同期回路 142 が NEW MESSAGE REQUEST 信号をマンチェスタデコード及び直列/並列コンバータ 141 へ送る。デコード及びコンバータ 141 は、それ

チャンネル X は、メッセージの最初の部分を処理した後に、

ROUTE MESSAGE 信号を中央スイッチロジックに送信する。中央制御ロジックは、これに反応して、JUNCTION ASSIGNED 信号により指示されたチャンネル X 受信器にジャンクタを指定する。

文字同期コードが受信されたときから、メッセージがバッファ 143 にクロックされる。ジャンクタが指定されるや否や、プレフィックスタグがジャンクタに沿って送信され、次いで、メッセージがバッファ 143 からクロックされて出される。ジャンクタを通るメッセージの送信は、全メッセージがチャンネル X 受信器によって受信されたことが INCOMING MESSAGE COMPLETE 信号によって指示された後も続けられる。バッファ 143 が空になって、全メッセージがジャンクタを経て送信されたことを信号すると、チャンネル X の受信器は、REVERSE PATH 要求を中央スイッチロジックに送る。ジャンクタに沿った経路が逆転されると、チャンネル X の受信器はメッセージの処理を完了する。

ジャンクタに沿った経路を逆転することにより、ジャンクタはチャンネル X の送信器に指定され、これは JUNCTION ASSIGNED TO TX OF SOURCE 信号によって指定される。ジャンクタがチャンネル X の送信器に指定されると、送信器が作動され、チャンネル X の受信器はそれ以上のメッセージを送信しないように禁止される。同時に、チャンネル X の受信器からチャンネル Y の送信器へジャンクタを経てメッセージが送られる間に、チャンネル Y の送信器は、ジャンクタがチャンネル Y の送信器へ指定されたときに作動される。

ジャンクタを経て送られるメッセージの最初の部分は、メッセージの形式を示すコードを含むヘッダバイトを備えている。ジャンクタからの受信の際に、メッセージが肯定 (ACK) でもない

に反応して、RX MESSAGE 信号を返送し、これはメッセージが受け取られたことを指示する。他のある時間において、同期回路 142 は RX CLEAR MESSAGE 信号をデコードに送り、メッセージの受信を禁止する。RX MESSAGE 信号は内部クロックに同期され、INTERNAL MESSAGE 信号を受信制御ロジック 84 に送信する。受信制御ロジック 84 は、メッセージを処理した後に又はメッセージの長さがある長さを越えることが最大メッセージ長さカウンタ 151 によって決定されたときに、END MESSAGE PROCESSING 信号を返送する。又、受信及び送信制御ロジックは、制御ロジックがループバックモードにあるときを除き、送信制御ロジックがビジーであるときに、メッセージの送信を禁止するために、TX BUSY 信号を同期回路 142 へ送信する。

メッセージの処理中に、受信制御ロジック 84 は、多数の異なる要求を中央スイッチロジック 144 へ送る。これらの要求は、2 つの別々の優先順位レベルに基づいてグループ分けされる。REVERSE PATH 要求及び BRUP JUNCTION 要求は、各々、指定のジャンクタに沿った経路を逆転しそして指定のジャンクタを落とす優先順位の高い要求である。優先順位の低い要求は、ROUTE MESSAGE 及び QUEUE MESSAGE を含む。ROUTE MESSAGE 要求は、ジャンクタが使用できる場合及び行き先ポートがビジーではない場合にジャンクタを指定し、さもなければ、メッセージは行き先ポートに対する待ち行列に記録される。QUEUE MESSAGE は、特定の行き先ポートに対する待ち行列にルートメッセージ要求を入れさせる。

メッセージをルーティングする場合には、中央スイッチロジック 144 は、中央ロジック状態メモリ 153 を参照し、コンピュータの相互接続カラーの状態を判断する。好ましい実施例においては、中央ロジック状態メモリ 153 は、スイッチ制御モード

(第3図の121)の中央スイッチロジック144と共に存在する。ルーティングされたメッセージと、行き先ポートの受信器によってちょうど受け取られる信号との間の衝突を防止するために、中央スイッチロジック144がルーティングプロセスの完了時に行き先ポートの受信器を迅速にポーリングすることが所望される。それ故、マンチェスタデコードから発生された制御信号RX CARRIERは受信器の制御ロジックから中央スイッチロジックへ送られ、受信器がビジーであることを指示する。

メッセージは多数のチャンネルから非同期で受け取られるので、受信器の制御ロジックは、中央スイッチロジック144が要求を首尾良く処理できるかどうか及びそれができるときを知る必要がある。受信器の制御ロジックは、例えば、FIFOバッファ143に一時的に記憶されたメッセージをジャンクタが指定されるまで送信できない。同様に、送信器の制御ロジック92は、流れ制御信号を送信するためにメッセージが首尾良く待ち行列に入れられたかどうか知る必要があると共に、更に、待ち行列に入れられたメッセージ要求が各行き先待ち行列の頭部に達したときを知る必要がある。このような場合には、送信器が流れ制御キャリアをオフにしなければならない。この目的のために、受信及び送信制御ロジックは、ジャンクタが各受信又は送信回路に指定又は検続されたかどうかをして流れ制御をオンにするかオフにするべきかを指示する信号を中央スイッチロジック144から受け取る。ジャンクタを指定することとこれを落とすことは、ジャンクタ制御バスを経て送られる信号から決定することができる。更に、REVERSE PATH、BRGP JUNCTION 及び ROUTE MESSAGE要求は、第3図のスイッチ制御バス124を経て返送される信号によって確認することができる。流れ制御は、スイッチ制御バスを経て送られる FLOW-

CONTROL-ON及び FLOW-CONTROL-OFF 信号によってオン及びオフに切り換えられる。

メッセージがある所定の時間インターバル内にルーティングされなかった場合には、各チャンネル受信器のFIFOバッファ(第4図の143)がオーバーフローする。この状態が生じるかどうか決定するために、受信制御ロジックはメッセージルーティングタイム154を含んでいる。メッセージが所定の時間インターバル内にルーティングされない場合には、それが廃棄され、ROUTEMESSAGE REQUESTが引き出され、QUEUE MESSAGE 要求が中央スイッチロジックに送られる。少なくとも1つの要求確認タイム155は、中央スイッチロジックが過度な時間インターバル内に他のサービス要求に回答するかどうかチェックする。

メッセージの送信及びジャンクタに合った経路の送転の後に、ジャンクタは、行き先チャンネルの受信器がACK/NACKモードにおいて確認を待機する間にある時間中指定された状態となる。受信及び送信制御ロジック84、92は、予想ACK/NACKタイムを含み、これは、受信制御ロジック84が所定の時間インターバル後にACK/NACKモードを出るよう確保すると共に、受信制御ロジックに指定されたジャンクタが落ちるように確保する。このジャンクタが落ちるように更に確保するために、中央スイッチロジック144は、ジャンクタが所定の限界時間以上指定されたときに時間切れするジャンクタタイム-161を備えている。中央スイッチロジックは、ジャンクタタイムの時間切れを感知する手段、例えば、ジャンクタカウンタ158及びマルチプレクサ163を備えている。これらの回路がジャンクタタイムの時間切れを見出したときには、ジャンクタ時間切れ信号(JT)を発生し、これは、サービスジャンクタタイム要求(SJT)を

生じさせ、これが中央スイッチロジック144で処理されることにより各ジャンクタが落とされる。

メッセージ要求が待ち行列に入れられたときには、FLOW-CONTROL-ON信号によって流れ制御がオンになる。メッセージ要求が各行き先待ち行列の頭部に達すると、行き先チャンネルがメッセージの再送信に指定される。中央スイッチロジックの1個の待ち行列タイマー155は、行き先が通利に長い時間指定された状態にならないよう確保する。ある時間区間の開始は、中央スイッチロジック144から受信及び送信制御ロジック84、92へ送られる FLOW-CONTROL-OFF 信号によって知らされる。不当に長い時間が経過したときに流れ制御をオフにするために、流れ制御タイマー157が送信制御ロジック92に提供されている。送信制御ロジック92は、更に、流れ制御/データマルチプレクサ145へ送られる FLOW CONTROL 信号を発生する回路を備えている。又、送信制御ロジックは、TRANSMIT ENABLE 信号を発生し、これは、流れ制御/データマルチプレクサ145を通して並列/直列コンバータ及びマンチェスタエンコード146に送られる。

本発明の重要な特徴によれば、流れ制御/データマルチプレクサ145に送られた FLOW CONTROL 信号は、入ってくるメッセージがジャンクタを経て送信制御ロジック92へ送られたときに一時的に禁止される。この入ってくるメッセージ(その前にギャップ又はポーズがある)は、FLOW CONTROL 信号に応じて流れ制御/データマルチプレクサ145によって選択されたキャリアに挿入される。それ故、データ処理装置がメッセージの送信を禁止された時間中には、メッセージの受信が許される。更に、このデータ処理装置への流れ制御信号は、入ってくるメッセージの受信及びそれに対応するACK又はNACKの送信の後に再開される。

受信及び送信制御ロジックがFLOW-CONTROL-OFF 信号を受信しそして流れ制御キャリアが流れ制御/データマルチプレクサ145によってオフにされると、予め禁止されているデータ処理装置が待ち行列タイマー155によって確立されたある時間範囲内にその所望のメッセージを再送信しなければならない。もしそうでなければ、メッセージの所望の行き先待ち行列に対する待ち行列タイマーが時間切れする。中央スイッチロジック144は、待ち行列カウンタ158及びマルチプレクサ159のような回路を含み、これらは、待ち行列タイマー155を周期的に操作し、待ち行列タイマーの時間切れを見つけたときに、待ち行列時間切れ信号(JT)を発生し、これはサービス待ち行列タイマー要求(SJT)を生じさせる。中央スイッチロジック144によって処理されたときには、SJT要求が各待ち行列の頭部にあるメッセージ要求をその待ち行列から落とさせ、その待ち行列の次の行にあるメッセージ要求が処理されるようになる。

サービス要求を迅速に処理するためには、中央ロジック状態メモリ145は、その要求を処理するに必要な情報が非常に容易に利用できるような構成される。ルーティング要求が、例えば、予め定められた仮想のスタックフレームによって許可されるかどうか判断するために、中央ロジック状態メモリは、ROUTE MESSAGE 要求を発生したソースチャンネルの番号を用いてアドレスされる許可ソースセットメモリ164を備えており、更に、中央ロジック状態メモリは、行き先チャンネル番号を用いてアドレスされる許可行き先セットメモリ165を備えている。これらのメモリに記憶される情報の特定の構成及び使い方は、第10図及び第11図を参照して以下に説明する。

中央スイッチロジック144が指定のソース又は行き先チャン

ネルに各々関連した行き先又はソースチャンネル状態を決定できるようにするために、中央ロジック状態メモリは、RX状態テーブル166と、TX状態テーブル167とを備えている。同様に、各ソースチャンネルに指定されたジャンクタを指示するテーブル168と、各行き先チャンネルに指定されたジャンクタを指示するテーブル169とが設けられている。サービスジャンクタのタイマ要求に応じてジャンクタを落としそしてジャンクタの状態を容易に指示するために、ジャンクタ番号によってアドレスされるジャンクタテーブル170が設けられている。ジャンクタテーブルは、各ジャンクタごとに、そのジャンクタが指定されるかどうか指示し、そしてもしそうならば、ジャンクタが指定されるソース及び行き先を指示する。又、ジャンクタテーブル170は、例えば、保守の目的でジャンクタを指定しておくために使用できる状態入力を備えている。

中央スイッチロジック144がメッセージ要求を行き先待ち行列に迅速に出せるようにするために、中央ロジック状態メモリは、待ち行列の頭部に各ポインタを指定するテーブル172と、待ち行列の尾部に各ポインタを指定するテーブル173とを含む複数のテーブルを有している。頭部及び尾部テーブル172、173の出力は、行き先待ち行列が記憶されるメモリ174の最下位アドレス入力へマルチプレクサされる。通常、待ち行列メモリ174及び待ち行列ポインタテーブル172、173の最上位アドレス入力は、行き先チャンネルの番号によってアドレスされるが、1つの例においては、以下で述べるように、ソースチャンネル番号によって待ち行列メモリ及びテーブルをアドレスすることが所望される。ソースチャンネル番号又は行き先チャンネル番号の選択は、一対のゲート175、176によって与えられる。同様に、

頭部又は尾部ポインタは一対のゲート177、178によって選択される。

メッセージ要求を待ち行列に入れたときに、中央スイッチロジック144は、所与の行き先待ち行列に対して一度だけソースチャンネル番号が覆われるように確保することが所望される。所与のソースチャンネル番号が所与の行き先待ち行列に既に記憶されているどうかを中央スイッチロジックが迅速に決定できるようにするために、待ち行列入力テーブル179が設けられており、これは、ソース及び行き先チャンネルの各組合せごとに単一ビット入力を含む。例えば、64個のチャンネルを含む好ましい実施例においては、待ち行列入力テーブル179が64×64単一ビットマトリクスとして構成される。メッセージ要求が待ち行列に入られるたびに、各ビットがセットされ、そしてメッセージ要求が待ち行列から取り出されるたびに各ビットがクリアされる。

第7図は、ハイラークの同軸伸縮回路を示す図であり、これは、受信器及び送信機の制御ロジックから中央スイッチロジックへ送られる同時サービス要求を待機するために効果的に用いられるものである。第7図は、簡単な回路であり、第8図の變形態様が好ましいことを理解すべきである。第7図に示すように、例えば、各チャンネルのインターフェイスボード122'、123'は、各リングチャンネルアービトラータ181'を備えており、これは、チャンネルインターフェイスボードの各チャンネルに関連した各受信ロジック回路84'の特定の1つからサービス要求を選択する。更に、各チャンネルインターフェイスボード122'、123'は、各リングチャンネルアービタ181'をスイッチ制御ボード121'のリングボードアービトラータ184'に接続する各要求ライン183'を有している。リングボードアービタ

184'は、リングチャンネルアービタ回路181'の特定の1つから要求を選択し、処理されるべき中央スイッチロジックへの要求を運ぶ。又、リングボードアービトラータは、スイッチ制御バス124'を経て選択されたボードのボード番号を送信し、チャンネルインターフェイスボード122'、123'の各々に設けられたボード選択デコーダ185'にそれを加える。ボード選択デコーダ185'は、リングボードアービトラータ184'によって選択された特定のボード番号を確認し、リングチャンネルアービトラータ181'によって選択されたチャンネル番号を過すゲート186'、187'、188'をイネーブルする信号を発生する。チャンネルデコーダ189'及びゲート190'、191'によって更に選択されたときには、選択されたボードの選択されたチャンネルの受信ロジックからの要求コードがスイッチ制御バス124'を経てスイッチ制御ボード121'へ送られる。要求コードは、例えば、特定のサービス要求を選択する要求識別番号と、ルートメッセージ又は待ち行列メッセージサービス要求とに関連した行き先チャンネルを識別する番号とを含んでいる。

第7図のハイラーク伸縮回路の重要な効果は、スイッチ制御ボード121'のリングボードアービトラータ184'又は他のチャンネルインターフェイスボード122'、123'のリングチャンネルアービトラータ181'に対して変更を行わずに更に別のチャンネルインターフェイスボードを設置できることである。例えば、チャンネルインターフェイスボードが除去されたときには、それに関連した要求ライン183'が低レベルとなり、リングボードアービトラータ184'には要求が送られない。従って、リングボードアービトラータ184'は、コンピュータ相

直接線カプラーに設置されたチャンネルインターフェイスボードからの要求を伸縮するときに欠落ボードを単にスキップするだけである。例えば、第7図に示すように、要求が確認されるたびに、リングボードアービトラータ及び各リングチャンネルアービトラータが次のアクティブな要求に送らるようになる。特に、要求確認信号(REQ, ACK)は、「サービスグラント(許可)」として働いて、選択されたボードのリングボードアービトラータ184'及びリングチャンネルアービトラータ181'を「クロック」してこれらが次のサービス要求を選択できるようにする。この点において、クロックイネーブル入力(CE)は、完全に同期した入力であって、標準TTLレベル74173のデータイネーブル入力に対してアナログ形態で機能するのが好ましい。換言すれば、クロックイネーブル入力(CE)が低レベルであるときに、同期ロジック回路は、ロジック回路のレジスタがたとえクロックされたとしても、選択的なフォードバックにより状態を変えない。

第7図のハイラーク優先順位機構に対する85の効果は、全伸縮ロジックが比較的簡単でありそして伸縮ロジックがチャンネルインターフェイスボード122'、123'に対して単に接続されるだけであることである。更に、リングボードアービトラータ184'に対する回路は、リングチャンネルアービトラータ181'に対する回路と実質的に同じである。

第8図を参照すれば、好ましいチャンネルインターフェイスボード122'が詳細に示されており、これは、受信ロジック回路84からの低優先順位の要求を伸縮するための第2のリングチャンネルアービトラータ201を含んでいる。本発明の重要な特徴によれば、サービス要求は、優先順位の高い要求と高優先順位の要

求とにグループ分けされ、各優先順位グループ内で要求を仲裁するために別々のリングアービタが設けられている。例えば、低優先順位のリングチャンネルアービトラータ201に組み合わされているのは、チャンネルデコード202及びゲート203、204であり、これらは、ゲート105、107に関連して動作して、低優先順位のリングチャンネルアービトラータ201により与えられたチャンネル番号又は高優先順位のリングチャンネルアービトラータ101によって与えられたチャンネル番号のいずれかを選択する。

ライン205の高優先順位サービス要求信号は、ボード選択デコード105がイネーブルされたときにゲート203、204又はゲート105、107のいずれかをイネーブルするためにインバート206に供給される。換言すれば、ボードからのサービス要求が許可されて高及び低の両方の優先順位要求が存在するときに、中央ボードアービトラータヘヴィードバックされる要求チャンネルが高優先順位要求のチャンネルとなる。

第8図に更に示すように、低優先順位のリングチャンネルアービトラータからの低優先順位要求は、スイッチ制御ボード121の低優先順位のリングボードアービトラータ207へ送られ、高優先順位のリングチャンネルアービトラータからの高優先順位要求は、これも又スイッチ制御ボード121上にある高優先順位リングボードアービトラータ208へ送られる。オアゲート210は、HIGH PRIORITY ACK信号及びLOW PRIORITY ACK信号を合成し、チャンネルインターフェイスボード112、123のためのGRANTSERVICE REQUEST信号を発生する。優先順位が許可されたチャンネルのボード選択番号は、2つの3状態ゲート219、220のイネーブルされた一方によって与えられる。ゲ

ート219は、高リングボードアービトラータ203のHIGH PRIORITY出力によってディスイネーブルされ、ゲート220はこのHIGH PRIORITY出力によってイネーブルされる。

逆転経路要求及びドロップジャンクタ（ジャンクタを落とす）要求は、高優先順位要求としてグループ分けされ、ルートメッセージ及び待ち行列メッセージ要求は低優先順位要求としてグループ分けされるのが好ましい。受発チャンネルロジック204においては、高優先順位要求がオアゲート210によって組み合わされ、低優先順位要求がオアゲート211によって組み合わされる。

第9図には、リングチャンネルアービトラータ101の好ましい構成のブロック図である。中央スイッチロジックのリングボードアービトラータ104についても実質的に同じ回路が使用される。リングアービトラータは、最後に優先順位が与えられたチャンネルの番号を記憶するレジスタ221を備えている。次に優先順位が与えられるべきチャンネルは、チャンネル選択ロジック222によって決定される。プログラム可能なロジックアレイを用いることによってこのチャンネル選択ロジックを簡単に実施するために、チャンネル選択ロジックはチャンネルデコード223の出力を受け取り、個々のチャンネル選択出力を発生する。これらはエンコード224へ送られ、そしてこのエンコードは優先順位が与えられるべき次のチャンネルのエンコードされたチャンネル番号を出力する。チャンネル選択ロジック222に対する論理的な式が添付資料1に示されている。デコード223からチャンネル選択信号を受け取るのに加えて、チャンネル選択ロジック222は、その各々のチャンネルインターフェイスボードに関連したチャンネルから個々の要求も受け取る。優先順位が各チャンネルに対して次に与えられるべきであるかどうかを各々指示するチャンネル

選択ロジック222の出力は、論理オアゲート225において組み合わせられ、いずれかのチャンネルによって要求が与えられたかどうかを指示する。

第10図には、ベン図が230で一般的に示されており、これは、行き先チャンネルの各組に関連した所定の1組のソースチャンネルとして仮想スタカブラーの定義を示すものである。第10図に示すように、1組のソースチャンネルは1組の行き先チャンネルに交差する。この場合、チャンネルは交差部において互いに自由に通信する。その他については、チャンネル間のメッセージ通信は、ソースチャンネルから行き先チャンネルへのみ行なわれる。多数のこのようなスタカブラーをコンピュータの相互接続カブラーに対して定めるのが好ましい。いずれの仮想のチャンネルも2つ以上の仮想スタカブラーに含まれる。

第11図には、許容ソースセットメモリ164及び許容行き先セットメモリ165における仮想スタカブラーを表わす好ましい方法が示されている。許容ソースセットメモリ164は、チャンネル番号0ないし53によってアドレスされる64バイトを含んでいる。各バイトの各ビット位置は、そのバイトをアドレスするソースチャンネルが各ビット位置に対し仮想スタカブラーに含まれるかどうかを表わすための論理1又は0である。許容行き先セットメモリ165も同様に1組の64バイトとして構成され、バイトの各ビットはそのバイトをアドレスする行き先チャンネル番号が各ビット位置によって表わされた仮想スタカブラーに含まれるかどうかを指示するための論理1又は0である。

指定のソースチャンネルからのメッセージが指定の行き先チャンネルへ送られることが許可されるかどうかを判断するために、許容ソースセットメモリ164の各ビット出力ラインが論理アン

ドゲート241を用いて許容行き先セットメモリ165の各ビット出力と論理ANDされる。それ故、各ゲートは、コンピュータ相互接続カブラーに対して定めることのできる8個の仮想カブラーの各々に対し指定のソース及び行き先が各ソースチャンネルセット及び行き先チャンネルセットに見出されるかどうかを指示する出力を発生する。メッセージは8個の仮想スタカブラーのいずれか一つを通してルーティンゲルすることが許された場合にルーティンゲルされなければならないので、ANDゲート241の出力は論理オアゲート242で組み合わせられ、メッセージのルーティンゲルを可能にする信号を発生する。

例えば、許容ソースセットメモリ164及び許容行き先セットメモリ165のプログラミングが第11図に示されており、これは、仮想スタカブラーがメッセージを受信するのみの装置、メッセージを送信するのみの装置及び少数の選択されたチャンネルグループ間でメッセージを交換する装置を許容する特定の装置を示すものである。8ビット位置に対して定められた仮想スタカブラーは、許容ソースセットメモリ164の全てのソースチャンネルに対する論理1を含むが、0の行き先チャンネル番号に対する0ビット位置のみにおける論理1を有する。それ故、0ビット位置に対して定められた仮想スタカブラーは、チャンネル0に接続されたデータ処理装置がデータの発信にのみ使用できるようにする。

第2ビット位置によって定められた仮想スタカブラーは、ソースチャンネル1及び2と行き先チャンネル1及び2に対してのみ論理1を有する。それ故、この仮想スタカブラーは、チャンネル1と2をそれらの間のいずれかの方角にデータ交換するように互いに接続する。この形式の仮想スタカブラーは、それらの

各々のアクセスロードをバランスするために各記憶サブーに対して定めることができる。又、この形式の仮想スタカブラーは、中央プロセッサのリソースを1つの接続されたプロセッサグループから別のグループへ柔軟に位置設定又は論理的に移動できるように定めることができる。ビット2位置に関連した仮想スタカブラーは、ソースチャンネル3に対してのみ論理1を含むが、全ての行き先チャンネルに対して論理1を発生する。それ故、ビット2に関連したこの仮想スタカブラーは、ソースチャンネル3に接続されたデータ処理装置を、他のデータ処理装置へデータを送替できるものとしてみよ。決定する。

第12図には、メッセージ及び確認のための好ましいフォーマットが示されている。メッセージ及び確認は非同期で送信され、メッセージを搬送するチャンネルからのキャリアが存在しないインターバルによって分離される。各メッセージは、ビット同期を容易にする目的で値55(16進)を有するヘッダと、フレーム同期のための値96(16進)を有する文字同期ビットと、メッセージ或いは近又は良の確認(ACK/NAK)が受接されるかどうかを指示するバイトと、メッセージの長さを指示するバイトと、所望の行き先チャンネル番号を指示するバイトと、所望の行き先チャンネル番号の補数値を指示するバイトと、メッセージのソースチャンネルを指示するバイトと、メッセージの長さによって予め指定されたデータバイトの数と、繰り返し冗長チェック(CRC)と、値FF(16進)を有するトレーラとを順次含んでいる。正及び良の確認(ACK/NAK)のフォーマットは、第12図に示す形態と同様であるが、この場合には、メッセージの長さを示すバイトが除去されそしてデータも除去されていることに注意されたい。

ットされる。このヘッダ時間切れインターバル中にキャリアが失われることは、アンドゲート262によって検出され、ヘッダ時間切れフラグをセットする2つの状態はオアゲート263において合成される。

メッセージデコーダがビジーになった後に同期文字が見つかったときメッセージの存在を信号するために、アンドゲート264がフリップフロップ276をセットする。このフリップフロップがセットされると、3ビット2進カウンタ266は、直列/並列コンバータレジスタ267に現われるバイトのためのクロックを発生するためにカウントを開始する。フレーム同期バイトは、カウンタ266が7の値に達したことがアンドゲート268によって検出されると、出力レジスタ267へストロープされる。フレーム同期コードも出力レジスタ267に受け取られるようにするために、オアゲート269はNEXT BYTE信号をアンドゲート270の出力と合成し、出力レジスタ267に対するクロックラインパルス信号を発生する。出力レジスタ267から現われるバイトのためのバイトクロックは、3ビット2進カウンタ266の出力Q2によって与えられる。出力レジスタ267からのデータを内部クロックと同期するために、一對のゲート271、272及びフリップフロップ273を用いて、クロックラチアバイトクロックが発生され、これは、3ビット2進カウンタ266の出力Q3に対して定められる。

入ってくるメッセージを処理するために、メッセージデコーダをハンドシャイクモードで動作して、メッセージデコーダがNEW MESSAGE REQを受け取った後のみメッセージを確認するようにし、1つのメッセージを完全に処理してから別のメッセージがデコーダによって確認されるようにする。このため、メッセージの

第13図は、第12図に示すメッセージフォーマットに基づいてメッセージを最初を検出するための受信ロジックの概略図である。データ処理装置から送られたメッセージは、参考としてここに取り上げるストアートの米国特許第4,592,072号に詳細に説明されたように、マンチェスタデコード251及びキャリア検出器252に受け取られる。第13図のメッセージデコーダは、フリップフロップ253により決定される2つの主状態の1つにある。メッセージデコーダは、NEW MESSAGE REQ 信号に応じてリセットされたとき及びキャリアがキャリア検出器252によって検出されなかったときにアドレス状態に入る。このため、フリップフロップ253はキャリアの存在によってセットされ、キャリアが存在しない場合に、フリップフロップ254、インポート255及び256によってリセットされる。

第13図のメッセージデコーダがアドレス状態を出て、キャリアの存在中でビジーになったときには、マンチェスタデコード251からの直列形態のデコードされたデータが直列/並列コンバータレジスタ257へクロックされる。データがこの直列/並列コンバータ257へクロックされるときには、ヘッダのタイムインターバルが監視される一方、メッセージデコーダが96(16進)の文字同期値を待機する。この文字同期の存在は、デコード258によって検出される。この同期文字が検出される前にキャリアが消えるか又はヘッダの時間切れインターバルが経過した場合には、ヘッダ時間切れフラグがフリップフロップ259によって信号される。タイムインターバルはカウンタ260によって決定され、このカウンタは、メッセージデコーダがアドレス状態のとき、同期文字が検出されたとき又はヘッダの時間切れフラグがセットされたときに、オアゲート261によってリセ

終りがフリップフロップ274によって検出され、このフリップフロップは、フリップフロップ265がセットされそしてキャリアが失われたことがアンドゲート275によって検出されたときにセットされる。それ故、フリップフロップ274は、INCOMING MESSAGE COMPLETE 信号を発生する。アンドゲート276は、フリップフロップ265のQ出力をフリップフロップ274のQ補数出力と合成し、メッセージ発生中に高レベルとなるMESSAGE信号を発生する。

本発明のコンピュータ相互接続カブラーの動作中のある時間に、入ってくるメッセージのメッセージデコーダを禁止又はクリアすることが所望される。これは、例えば、チャンネル送信器が作動したときに行なわれて、それと同時に入っているメッセージが終了したときにこれがフラグをセットしないようにする。このために、メッセージデコーダは、CLEAR MESSAGE 信号を受け取るオアゲート278を含み、この信号は、フリップフロップ273をセットし、これにより、CLEAR MESSAGE 信号が除去されてその後キャリアが存在しなくなるまで、MESSAGE 信号を強制的に低レベルにする。

次に第14図を参照して、ここにはチャンネル受信機ロジックのためのメッセージ・シンクロナイズおよびサイクル・カウンタの概略図が示してある。受信データ・バイトを内部バイト・クロック281と同期させるために、一対のレジスタ282、283が設けてあり、これらのレジスタはインバート284で与えられるようなバイト・クロックの180度位相差で刻時される。最大許容メッセージ長に相当する或る限られた持続時間を有するメッセージの場合、これら2つのレジスタ282、283のうちの1つのレジスタの出力が2つのゲート285、286のうちの対応したゲートによって選定されて内部バイト・クロック281に同期したデータを与えることができる。これら2つのゲートのうちどれを使用可能とすべきかを決めるために、内部バイト・クロック281によって刻時されるフリップフロップ287が第13図のメッセージ・デコードからの直向位相分進んだバイト・クロックをサンプリングする。さらに、この決定は、MESSAGE 信号が存在しないときのみ遅延フリップフロップ287を使用可能とすることによってメッセージの持続時間の間保持される。フリップフロップ287に対してクロックを使用禁止とするのに必要な遅延は遅延フリップフロップ288が与える。バイトを内部バイト・クロックに精密に同期させるために、内部バイト・クロック281によって刻時される出力レジスタ289が設けてある。受信メッセージからのバイトをフリップフロップ289によって与えられたバイトが置換しているときにそれを示すINTERNAL MESSAGE信号を遅延フリップフロップ290を与える。

第12図のメッセージ・フォーマットにおける図々のバイトを識別するために、それぞれのバイトが出力レジスタ289の出力として出現したときにシフト・レジスタ・サイクル・カウンタ

291が対応したストローブ信号を発生する。このシフト・レジスタ・サイクル・カウンタはINTERNAL MESSAGE信号のリーディングエッジを検出するANDゲート292によって与えられた初期パルスを受け取る。同様に、INTERNAL MESSAGE信号のトレイリングエッジでEND MESSAGE 信号をANDゲート293が発生する。

ここで、第12図のフォーマットがメッセージのためのフォーマットであり、復帰肯定応答コードのためのフォーマットも長さバイトがないことを除いて同様のものであることを思い出されたい。サイクル・シフト・カウンタ291がメッセージおよび肯定応答のためのバイトを復号するのに使用できるようにすべく、全体的に294で示すマルチプレクサが設けてあり、これは肯定応答がチャンネル受信機ロジックで予想されるときにDEST、BEST種別、SOURCEストローブ信号に対するストローブ・パルスの位置をシフトする。

第14図には、第13図のメッセージ・デコードにハンドシェイク、メッセージ請求信号を与えるロジックも示してある。メッセージ処理の終りで通常はフリップフロップ295がNEW MESSAGE REQUEST 信号を発生する。システムRESET 信号に応答するか、あるいは、チャンネル送信機が使用中であるときには、任意の現行メッセージが消去され、新しいメッセージがリクエストされなければならない。このために、ORゲート296がシステムRESET 信号とTX BUSY 信号とを組合わせてチャンネル受信機へのCLEAR MESSAGE 信号を発生する。また、第2のORゲート297がこのCLEAR MESSAGE 信号をフリップフロップ295の出力と組合わせてNEW MESSAGE REQUEST 信号を発生し、この信号が第13図のチャンネル受信機に戻される。また別のORゲート298が用いられてCLEAR MESSAGE 信号をANDゲート292の出力と組合わせ

てチャンネル受信機ロジックのためのINIT信号を発生する。その結果、チャンネル受信機ロジックは、チャンネル送信機が使用中であるか、あるいは、システムRESETが発生するときにはいつでも、もしくは、検出されたメッセージが出力レジスタ289の出力部に現れる直前にリセット状態になる。

次に第15図を参照して、ここには、メッセージ・リクエストを発生し、メッセージ処理を終了させるチャンネル受信機ロジックの概略図が示してある。一般的には、チャンネル受信機ロジックは行き先および行先メッセージが互いに一致したとき、メッセージのソース数が物理的なチャンネル数に一致したとき、メッセージのタイプが予想タイプと一致しかつ予想タイプがACKまたはNAKコードでないときにルート・メッセージ・リクエストを発生する。

行き先が行き先補数に一致しているかどうかをチェックするために、行き先はレジスタ301にストローブされる。2入力・専用ORゲート302と8入力NANDゲート303とからなるバンクがレジスタ301にストローブされた行き先を受信メッセージ内のデータ・バイトと比較する。DEST期間中に比較がなされたかどうかをフリップフロップ304がチェックする。さらに、フリップフロップ305が用いられ、行き先と行き先補数が互いに一致しない場合には行き先不一致フラグを診断プロセッサに送る。同様に、データ・バイトはソース・コンパレータによって点検される。このソース・コンパレータは一組の専用ORゲート307とANDゲート308とを包含する。このANDゲート308はSOURCEストローブも受け取り、メッセージ内のソース数がチャンネル受信機のチャンネル数と一致するときにイネーブル信号を発生するインバート209に信号を送る。さらに、

フリップフロップ310が診断プロセッサにソース不一致フラグを送る。このようなフラグは、たとえば、遠端ケーブルが或る特定のデータ処理ユニットからコンピュータ相互接続プログラムの割り当てチャンネルにミスマッチしていることを示すことがある。

メッセージまたはコードのタイプを感知する目的で、データ・バイトはACKデコード311およびNAKデコード312に送られ、これらデコードの出力はORゲート313によって組み合わされてそのメッセージがACKコードであるかNAKコードであるかどうかを示す。

チャンネル受信機ロジックがACKコードあるいはNAKコードのいずれが予想されるかを求めるために、フリップフロップ314がシステム・リセット信号、受信機に割り当てられたジャンクタの解除信号、そして、予想肯定応答タイム160の満了信号によってリセットされる。これらの信号の必要な組合わせはORゲート315によって与えられる。予想肯定応答タイム160は、好ましくは、或る肯定応答の復帰送信のためにジャンクタが予約される時間を測定する。したがって、予想肯定応答タイム315は、肯定応答が予想されるとき、ジャンクタがチャンネル受信機に加えられるときで始まり、復帰肯定応答またはメッセージのタイプが決定され得るときまで続けてカウントを行わなければならない。したがって、予想肯定応答タイム160を制御するために、フリップフロップ317が設けてあり、これは肯定応答が予想されるときでジャンクタがチャンネル受信機に加えられるときにANDゲート318によってセットされ、肯定応答が予想されないかあるいはTYPEストローブが生じたときにORゲート319によってリセットされる。

誤ったタイプのメッセージまたは肯定応答を拒絶するために、

専用ORゲート320がフリップフロップ314からの予想タイプをORゲート313によって示される受信タイプと比較する。専用ORゲートの出力はTIPBストロブによって使用可能とされたANDゲート321に送られて、メッセージのタイプが予想タイプと一致していないときにはフリップフロップ322をセットする。さらに、ANDゲート321はフリップフロップ323をセットして誤ったタイプのメッセージまたは肯定応答が受け取られたということを示すフラグを診断プロセッサに送る。

メッセージを送信するリクエストはANDゲート324およびフリップフロップ325によって発生させられる。メッセージの行き先と行き先補数が一致しているときには、メッセージは肯定応答コードでない適正なタイプを有し、メッセージのソース数がチャンネル受信機の物理的なチャンネル数と一致する。フリップフロップ325がセットされると、メッセージ経路指定タイマ154も使用可能とされる。ジャンクがチャンネル受信機に加えられたとき、または、チャンネル受信機がメッセージ受信開始時に初期化されたとき、あるいは、メッセージの経路指定がフリップフロップ325によってリクエストされており、メッセージ経路指定タイマ154がタイムアウトしたときにORゲート326によってフリップフロップ325がリセットされる。この最後の経路指定はANDゲート327によって決定される。したがって、このANDゲート327は、先入れ先出しバッファ(第4図の143)がオーバーフロー無しに少なくともメッセージの開始部分を確実に記憶するように選ばれた適所定の時間限度内で中央スイッチ・ロジックがルート・メッセージ・リクエストに到着し損なったことを示すMESSAGE ROUTING TIMEOUT 信号を発生する。ここで、中央スイッチ・ロジック(第4図の144)が行き先

送信機または受信機が使用中であるかあるいはアイドル・ジャンクが利用できないためにメッセージを経路指定できない場合、この中央スイッチ・ロジックが行き先キューにメッセージ・リクエストを置き、チャンネル受信機、送信機にFLOW-CONTROL-ONを送ることになる。このとき、フリップフロップ325はINIT信号によってリセット状態となる。

第15図にはORゲート328も示しており、このORゲートはEND RES, PROC. 信号をメッセージ経路の終了時に発生する。行き先不一致、ソース不一致、誤ったタイプのメッセージまたは肯定応答の受信、肯定応答タイムアウト、メッセージ長が規定の最大メッセージ長を超える場合、チャンネル受信機からドロップしたジャンク、メッセージのキューイングの終了のいずれかがあるときにメッセージ経路は終了する。メッセージが規定の最大メッセージ長を超えたかどうかを知るために、最大メッセージ長カウンタ151がインバート329によって示すように、メッセージのないときにプリセット・カウント数に保持され、メッセージ中にタイムアウトが生じると、フリップフロップ330がセット状態になる。このときにANDゲート331がフリップフロップ322もセットし、メッセージが棄置することを示すフラグを診断プロセッサに送る。ANDゲート331はフラグ・フリップフロップ332がメッセージあたり1回以下にセットされることを保証する。

次に第15図を参照して、ここにはメッセージ・キューイングのためのチャンネル受信機・送信機ロジックが概略図で示してある。第15図からのMESSAGE ROUTING TIMEOUT 信号がフリップフロップ341をセットし、これは中央スイッチ・ロジックにキュー・メッセージ・要求を送る。また、MESSAGE ROUTING TIMEOUT

信号は要求肯定応答タイマ342をセットする。ANDゲート343で検出されるようにこのタイマがキュー・メッセージ・要求の満足化の前に満了すると、フリップフロップ344はセット状態になり、診断プロセッサにキュー・要求・エラーを知らせる。キュー・メッセージ・要求を発生するフリップフロップ341はINIT信号によって、キュー・要求・エラーの発生時のANDゲート343によって、あるいは通常では、中央スイッチ・ロジックからのFLOW-CONTROL-ON信号によってリセットされる。これらの状態の組合わせはORゲート345によって与えられる。キューイングの終了は、キュー・要求・エラーが発生するかあるいはフロー・コントロールがオンになったときにはいつでも別のORゲート346によって示される。

送信機のためのフロー・コントロールの状態はフリップフロップ347によって示される。このフリップフロップは中央スイッチ・ロジックからのFLOW-CONTROL-ON信号によってセットされ、システムRESET 信号によってか、中央スイッチ・ロジックからのFLOW-CONTROL-OFF 信号によってか、あるいは、フロー・コントロールがオンであってフロー・コントロール・タイマ157の満了時にリセットされる。必要な経路指定および経路指定はANDゲート348およびORゲート349によって行われる。フロー・コントロールがオンでフロー・コントロール・タイマ157が満了すると、フリップフロップ349がセットされ、診断プロセッサにフロー・コントロール・タイムアウト・フラグを送る。

フロー・コントロール・フリップフロップ347がセットされた場合、あるいは、ジャンクがチャンネル送信機に割り当てられ、チャンネル受信機に割り当てられない場合には、チャンネル送信機が使用中と想定される。これらの状態はインバート350、

ANDゲート351およびORゲート352によって解除される。上述したように、チャンネル受信機はチャンネル送信機が使用中と思われるときには抑制される。しかしながら、ANDゲート353によって検出されるようにジャンクがチャンネル送信機・受信機の双方に割り当てられたときに生じるメインテナンス・モードではこれらチャンネル送信機、受信機は同時に作動できる。

データ経路監視によって送られてくる任意のキャリアが終了するまでデータ経路監視へのフロー・コントロール・キャリアの送達を遅延させると望ましい。特に、データ経路監視の送るキャリアが消滅するとフロー・コントロールキャリアがオンになるときの間に約5クロック・サイクルの停止があると望ましい。したがって、FLOW CONTROL XMIT 信号がフリップフロップ354によって発生させられ、このフリップフロップはフロー・コントロールがないときにリセットされ、チャンネル受信機の検出するキャリアが消滅した後5クロック・サイクルでセットされる。フリップフロップ354にとって必要なセット・リセット条件は3ビット二進カウンタ355、ANDゲート356およびインバート357によって決定される。

次に第17図を参照して、ここには先入れ先出しバッファ143のための、スイッチ・マトリックスにインターフェースするチャンネル受信機ロジックが示してある。チャンネル受信機が肯定応答を予測していないとき、ジャンクがチャンネル受信機に割り当てられるとすぐに、それがインバート361およびANDゲート362によって検出されて上方はスイッチ・マトリックスに送られる。肯定応答が予測される場合には、ジャンクがチャンネル受信機に割り当てられ、誤り肯定応答が受け取られたときにスイッチ・マトリックスへの送信が開始する。これらの状態はAND

ゲート363によって検出され、ORゲート354によって転送信号が与えられる。まず、タグがスイッチ・マトリックスに送られる。たとえば、ジャンクタの識別番号がチャンネル受信機に割り当てられる。タグの送信後、バッファ143からデータが送られてくる。タグの転送時間は遅延レジスタすなわちフリップフロップ355とANDゲート358によって決定される。このタグまたはバッファのデータ出力のいずれかがスイッチ・マトリックスへの転送のために多重化ゲート357、358によって選ばれる。バッファが空になったときにバッファからのデータ伝送中にANDゲート359によって発生したEND BUF XH111信号によって転送の終了が示される。

タグおよびバッファ143からのデータ・バイトに加えて、ジャンクタ上をパリティビットおよび有効データビットが送られる。このパリティビットはパリティ・エンコーダ370によって発生させられる。有効データ信号はタグが送られたときにはいつでも、あるいは、バッファが送信中に空でないときに発生させられる。これらの論理状態はインバータ371、ANDゲート372およびORゲート373によって解除される。

次に第18図を参照して、ここには診断スイッチ・マトリックス99とその制御回路が概略図で示してある。あるジャンクタがチャンネル受信機あるいはチャンネル送信機に割り当てられたかどうかを示す信号を起点デコーダ381、行き先デコーダ382およびラッチ383、384が発生し、そのとき、ジャンクタの識別番号が割り当てられる。同様のデコーダおよびラッチが他のチャンネル送信機および受信機によって使用される。ジャンクタ制御バス33がソース受信機、行き先送信機およびジャンクタ制御バスを通して指令パルスが送られるときに割り当てられるべき

あるいはドロップされるべきジャンクタを指定するための数値のラインを包含する。一本のラインはその指令パルスがジャンクタ割り当て動作あるいはジャンクタ・ドロップ動作と組み合わせられているかどうかを指定する。ジャンクタ制御バスは割り当てられたジャンクタのすべてを同時にドロップさせるリセット・ラインも包含する。

ジャンクタを割り当てるときドロップさせるために、指令パルスはラッチ383、384を駆動しており、これらのラッチは、それぞれ、割り当てられたジャンクタの識別番号と割り当て/解除・ラインのストローブ線を記憶してジャンクタが割り当てられたのか解除させられたのかを示す出力ビットを発生する。ラッチ383、384のそれぞれにはデコーダ385、386が組合わせてある。各デコーダのセレクト入力部はラッチされたジャンクタ識別コードを受け取る。各デコーダはジャンクタが割り当てられたかどうかを示すビットを受け取る出力ライン・プル入力部も有する。したがって、デコーダの出力部は各ジャンクタへの接続を可能とするセレクト信号を発生する。ジャンクタ・バスから送られ、受け取られることになっているデータは一組のゲート387によって順次指定されたジャンクタに多重化され、一組のゲート388によって多重解除される。

第18図からわかるように、単方向ゲートを用いてジャンクタへの、そして、ジャンクタからのデータを多重化しようとしている場合、ゲートの相互接続が異ならなければならない。しかしながら、本発明者等は、これが必ずしも真実でないという驚くべき発見をした。事実、ANDゲートの3つのレベルを用いてジャンクタへの、そして、ジャンクタからの多重化、多重解除の両方を行うマルチプレクサ・アレイを構成することができる。

次に第19図を参照して、ここにはジャンクタ・バスにチャンネル受信機をインターフェース接続するための、全体的に391で示すスイッチ・マトリックス用の好ましい回路が示してある。本発明の一特徴によれば、チャンネル・インターフェース・ボード(第3図で122、123)がボード・デコーダの両プロگرامミングを必要とすることなく自由に交替できる。代わりに、カード・ケージの種々のスロットがスロット番号を示すように配線された一組の端子コネクタを包含する。したがって、回路図を成る特定のスロットに挿入したとき、スロット番号がボードに連なる一組の入力ラインに現われる。ボード選択はANDゲート393に組み合わされた出力部を有する一組の専用ORゲート392によって行われる。こうして、ANDゲート393がボード・セレクト信号を発生する。このボード・セレクト信号はジャンクタ・セクタ394の出力部を使用可能とするのに用いられる。このジャンクタ・セクタ394はレジスタ395のクロックを使用可能とするのに用いられる個々の出力部を有する。このレジスタ395はジャンクタ制御バスのソース・セレクト・ラインからチャンネル番号を受け取り、また、ジャンクタ制御バスから割り当て/解除ラインを受け取る。レジスタ395の出力はデコーダ396の入力部に送られ、このデコーダは全体的に397で示すNAND多重化ゲートの第1レベルを使用可能とする個々の出力を発生する。ゲートの第1レベルの出力は全体的に398で示されるNANDゲートの第2レベルによって組み合わされる。ゲート398の第2レベルはレジスタ399にラッチされた割り当て/解除信号によって3状態化される。3状態ゲート397を使用する代わりに、オープン・コレクタ・ゲートを用いてジャンクタに当たってワイヤードOR処理機能を行ってもよい。

次に第20図を参照して、ここにはチャンネル送信機のためのスイッチ・マトリックス399が概略図で示してある。ここで明らかなように、第19図に示すものと同じ回路要素が使用でき、ここで必要とされるのは、ジャンクタ・セレクト・ラインをチャンネル番号セレクト・ラインと一緒に切り換えられ、ジャンクタがNANDゲート398の第2レベルの出力部の代わりにANDゲート397の第1レベルの入力部に送られるということである。この場合、ジャンクタの数が個々のチャンネル・インターフェース・ボード上のチャンネルの数に等しいということの注目された。第19図の構成要素と同じである。第20図で用いられる構成要素は同じ参照符号で示してあり、類似した構成要素は同じ参照符号にダッシュ記号を付けて示してある。

次に第21図を参照して、ここにはジャンクタ解除要求およびジャンクタ反転要求を示すチャンネル受信機ブロックを概略図で示す。ANDゲート401によって解決されるように、チャンネル受信機が受けるジャンクタに割り当てられ、新しいメッセージ・要求・ペンディングがあり、肯定応答が予想されない場合には、スタック・ジャンクタが先に検出されている場合を除いて、ジャンクタ解除要求が開始される。また、ゲート402によって検出されるように、あるジャンクタがチャンネル受信機に割り当てられ、肯定応答が予想され、P1POバッファからの送信が終了した場合を除いて、ジャンクタ解除要求が開始される。ゲート401、402の出力はORゲート403で組み合わされ、ジャンクタ解除要求を示すフリップフロップ404をセットするのに用いられる。ゲート405で解決されるように、肯定応答が予想されない場合、スタック・ジャンクタが先に検出されている場合を除いて、P1PO

バッファからの通信の終了時にジャンクタ反転要求が開始される。ゲート405はジャンクタ反転要求を示すフリップフロップ405をセットする。

或る期間内にジャンクタの解除あるいは逆転がない場合、それは要求肯定応答タイム155によって感知される。このタイムはORゲート407、408、インバータ409およびANDゲート410によって検出されるように或るジャンクタ解除要求またはジャンクタ反転要求が開始されたときにはいつでもブリエットされる。要求肯定応答タイム155がタイムアウトし、ジャンクタ解除要求またはジャンクタ反転要求が行われているときにスタック・ジャンクタが示される。この状態はANDゲート411によって解消される。スタック・ジャンクタの発生時、フリップフロップ412がセットされ、診断プロセッサにスタック・ジャンクタ・フラグを送る。このフリップフロップ412はリクエスト停止信号も発生し、これはNANDゲート413を経てフリップフロップ404を抑制し、NANDゲート414、415およびインバータ416を経てフリップフロップ405も抑制する。

診断プロセッサにスタック・ジャンクタの識別番号を知らせるために、ゲート411からのスタック・ジャンクタ信号に反応してロードされるレジスタ417が設けられている。

次に第22図を参照して、ここにはジャンクタをチャンネル送信機に割り当てる際の優先度を検出するロジックが示してある。このロジックはチャンネル送信機ジャンクタ割り当て信号をサンプリングする遅延フリップフロップ421と、インバータ422と、ANDゲート423、424とを包含する。

次に第23図を参照して、ここにはチャンネル送信機のロジックを概略図で示してある。第20図のスイッチ・マトリックス

399からのバイト・パリティ信号および有効データ信号はそれぞれのレジスタおよびフリップフロップ431、432、433に割当られる。ラッチされた有効データ信号はANDゲート434においてチャンネル送信機ジャンクタ割り当て信号と組み合わせられて送信開始を知らせる。初期パルスが遅延フリップフロップ435およびANDゲート436によって与えられる。この初期パルスはシフト・レジスタ437のシリアル入力部に送られて割り当てられたジャンクタを介して送られるメッセージの開始時に種々のデータ・バイトのためのストローブ信号を発生する。チャンネル送信機ロジックのためのリセット信号はインバータ438およびORゲート439によって与えられ、システム・リセットが生じたとき、そして、有効データがチャンネル送信機に割り当てられたジャンクタからもはや受け取れなくなったときにはいつでも送信機回路はリセットされる。

割り当てられたジャンクタからのデータ・バイトのパリティはパリティ・エラー・デコード440によってチェックされる。NANDゲート441はデータが有効であると想定されるときにパリティ・エラーが生じたかどうかをチェックし、エラーが生じたときには、フリップフロップ442がパリティ・エラー・フラグをセットし、これが診断プロセッサに送られる。

メッセージのタグにおけるジャンクタ識別番号が実際にチャンネル送信機に割り当てられたジャンクタの識別番号と一致しなかった場合にデータ送信を抑制するために、一連の専用ORゲート213、NANDゲート244およびANDゲート245が或る信号を発生する。このとき、フリップフロップ246がフラグをセットし、このフラグが診断プロセッサに送られる。

チャンネル送信機が肯定応答を予測すべきかどうかを決定する

ために、NAKデコード247およびACKデコード248の出力がANDゲート249において組み合わせられ、ジャンクタからのバイトが正または負の肯定応答コードを含んでいるかどうかを示す信号を発生する。チャンネル送信機はそれに対応したチャンネル送信機肯定応答コードなしに先にメッセージを送ったときに肯定コードを予測するので、シフト・レジスタ・サイクル・カウンタ437は出力マルチプレクサ450を有し、受信機が肯定応答コードを予測するときにこの出力マルチプレクサ450がメッセージのためのストローブ信号を選択する。

行き先バイトがチャンネル送信機のチャンネル番号と一致しないときに送信を抑制するために、行き先デコード451が設けられており、その低レベル出力はANDゲート452においてTX-RS-Tストローブ信号でゲートを制御され、この行き先バイトをチャンネル送信機の実際のチャンネル番号と比較する。ANDゲート452の出力はフリップフロップ453をセットして行き先エラー・フラグを発生させ、これが診断プロセッサに送られる。

行き先エラーのあった場合、メッセージまたは肯定応答のごく始めの部分でも送信を抑制すると望ましい。この目的のために、行き先コードがチェックされ得るまで肯定応答またはメッセージの初期部分を一時的に記憶する必要がある。そのために、5バイト先入れ出しレジスタ454が設けられている。このレジスタはバイト内の8ビット毎に1つの5ビット・シリアル・シフト・レジスタを有する。

メッセージまたは肯定応答が誤ったジャンクタからきたか、あるいは、誤った行き先を示している場合に送信を禁止する信号を発生させるために、フリップフロップ455がTX-RS-Tによってセットされ、NORゲート456で示されるように、ジ

ャンクタ・エラーまたは行き先エラーのいずれかが発生したときにリセットされる。さらに、送信の開始時刻を知るために、別のフリップフロップ457が設けられており、これはTX-RS-T信号によってリセットされ、PRE-XMIT信号によってセットされる。したがって、送信は、常に、PRE-XMITストローブの後のサイクルと共に開始する。このサイクル(CAR-XMITストローブで示してある)の類、55・16進同期コード458がメッセージまたは肯定応答のジャンクタ識別番号の所定位置に再挿入される。そのために、一対の多重化ゲート459、460が設けられている。ゲート460はフリップフロップ455、457の出力を組み合わせるANDゲート461によって使用可能とされる。

本発明の重要な特徴によれば、受け入れメッセージは行き先データ処理装置に送られるフロー・コントロール・キャリア信号に挿入され得る。しかしながら、この場合、メッセージまたは肯定応答の前の或る期間にわたってフロー・コントロール・キャリアが存在しない休止状態を挿入するのが望ましい。さらに、メッセージまたは肯定応答の通信の終了時、このときまだフロー・コントロールがある場合にメッセージの後に休止状態を挿入すると望ましい。この休止状態の間、たとえば、データ処理装置が肯定応答をメッセージに送ることができる。

このような場合にフロー・コントロール・キャリアを抑制するために、ANDゲート462が設けられており、これは送信機が使用中のときとか、TX-RS-T信号がローであるときとか、あるいは全体的に463で示す第1タイムまたは全体的に464で示す第2タイムがロー・ロジック信号を発生したときとかに使用禁止とされる。第1タイム465は肯定応答が予測されるときに

その後5クロック・サイクルにわたってロー・ロジック信号を発生する。第2タイマ464はメッセージ・コードまたは特定応答コードが実際に送られてきたときにその後5クロック・サイクルにわたってロー・ロジック信号を発生する。タイマ463、465は各々、3ビット二進カウンタ465、466とANDゲート467、468とを包含する。ORゲート469がCLOCK-SPLIT信号をゲート462の出力と組合わせてゲート459を使用可能とし、キャリアを送信する。ORゲート470がイネーブル信号を多重化ゲート453、460に組み込み、メッセージのヘッダあるいはデータ送信中のいずれかで実際のデータ送信を可能とする信号を発生させる。

マンチェスタ(Manchester)エンコード147内の並列・直列変換器は並列ロード・シフト・レジスタ471と専用ORゲート472とを包含し、この専用ORゲートはシフト・レジスタ471のシリアル・データ出力をシフト・クロックで駆動する。このシフト・クロックは内部バイト・クロックの周波数の8倍の周波数で動作するマスタ・クロック473によって与えられる。内部バイト・クロック281はマスタ・クロックによって割時計される3ビット二進カウンタによって与えられる。バイト・クロックはカウンタ281のQ₂出力部から得られる。並列イネーブル入力をシフト・レジスタ471に与えるべく、カウンタ281の出力Q₁、Q₀、Q₃はANDゲート473によって組み合わされる。フロー・コントロールがオフのときでメッセージまたは特定応答が送られていないときにキャリアの送信を禁止するために、ORゲート470の出力はゲーティング信号としてANDゲート474に送られ、このANDゲート474が専用ORゲート472の出力をゲート制御する。

キュー・メッセージ・要求(QM)、サービス・キュー・タイマ・要求(SQT)を示す信号が含まれる。

入力レジスタ491内に保持された割り込み信号の値はイネーブル信号(ENA)を与え、このイネーブル信号は全体的に499で示す現方向ゲーティング回路を用いて診断制御バス120を中央ロジック状態メモリ153内に多重化する。

サイクル・シフト・カウンタ496はP0、P1等から連続的にカウントを行い、最終的には、多くの処理信号の終端の1つがリクエストの処理が終了したことを示す。処理信号の終端はORゲート508に送られ、このORゲートはシステムRESET信号を受け取る。ORゲート508の出力はサイクル・シフト・カウンタを初期値1でリセットさせ、入力レジスタ491の割時計動作を可能とさせて入力レジスタが新しいリクエストを受け取れるようにする。さらに、入力レジスタ491はリクエストがまったく入力レジスタにストロープされない場合に新しいリクエストを受け取れるようにされる。これらの状態はNORゲート502、ORゲート503によって解消される。ORゲート503からの信号はダン信号または不使用信号も発生し、この信号は割り込み信号のためのハンドシェイクとして使用することができる。

高い優先順位の要求を知らせる信号を発生すべく、ANDゲート504が設けてあり、高い優先順位の要求が処理されつつあるときにORゲート503からの信号を通すようになっている。同様にして、ANDゲート505は、低い優先順位の要求が処理されつつあるときにはORゲート503の出力を通過させて低い優先順位の要求のための特定応答信号を発生させる。

組合わせロジック497はそこに送られる出力を有するステート・レジスタ506のための入力決定する。さらに、組合わせ

次に第24図を参照して、ここにはチャンネル・インターフェース・ボードからの要求にตอบสนองする中央スイッチ・ロジックが概略図で示してある。このロジックは、第7、8、9図に関連して上述したように、それぞれの高優先順位・ボード・アービトラクタからの低い優先順位の要求情報と高い優先順位の要求情報を受け取る。

処理すべきリクエストを受け取るために、中央スイッチ・ロジックは入力レジスタ491を包含する。この入力レジスタ491は高い優先順位の要求が存在する場合には高い優先順位の要求情報を受け取るが、さもないと、任意の低い優先順位の要求情報を受け取る。高優先順位の要求情報の多重化が一つのゲート492、493およびインバータ494によって行われる。入力レジスタ491は高い優先順位の要求が存在するかどうかを示す信号、低い優先順位の要求が存在するかどうかを示す信号、タイムアウトがジャンクタ・タイマ161で生じたかどうかを示す信号、タイムアウトがキュー・タイマ156で生じたかどうかを示す信号、Q₇も受け取る。入力レジスタ491は診断プロセッサからのロー・主張割り込み入力も受け取る。

この割り込み入力がローを主張している場合を除いて、新しい要求が入力レジスタ491にストロープされたとき、サイクル・シフト・カウンタ386がカウントを開始する。このサイクル・シフト・カウンタは復号出力P0、P1、P2等を与える。これらの出力は組合わせロジック497に送られる。また、この組合わせロジックには、要求優先順位・デコード498から個別に復号された信号も送られる。これらの信号には、サービス・ジャンクタ・タイマ・要求(SJT)、送バス・要求(RP)、ドロップ・ジャンクタ・要求(DJ)、ルート・メッセージ・要求(RM)、

ロジックは中央ロジック状態メモリ153を読み出し、中央ロジック状態メモリに読み込むことができ、ここには、メッセージ要求を行き先キュー上に置く動作とメッセージ要求を行き先キューから取り出す動作も含む。メッセージ要求が許されるかどうかを迅速に決定するために、組合わせロジックは許された経路を決定する特殊なロジック507を包含する。

次に第25図を参照して、ここには要求優先順位デコード498が概略図で示してある。要求はそれぞれのANDゲート511、512、513、514、515、516によって発生させられる。これらのゲートは、すべて、出力イネーブル・ライン(OE)によってゲート制御される。

サービス・ジャンクタ・タイマは、ゲート511が2つだけの入力部を有する事実から明らかのように、最高優先権を有し、要求優先デコードへのQ₁入力部が他のすべてのANDゲートを抑制する。逆ばす(RP)要求およびジャンクタ解除(DJ)要求はQ₂入力によって使用可能とされる事実から明らかのように次に高い優先順位を有する。このQ₂入力はサービス・ジャンクタ・タイマ・要求を発生しているゲート511を除いて他のANDゲートのすべてを使用禁止とする。ルート・メッセージ(RM)要求およびキュー・メッセージ(QM)要求は次に低い優先順位を有する。これはサービス・キュー・タイマ(SQT)のためのANDゲート516のみを使用禁止にするQ₃入力によって使用可能とされるという事実から明らかである。サービス・キュー・タイマ要求(SQT)は最も低い優先権を有する。これは、他のリクエストのうちの任意の要求の存在で使用禁止とされるからである。低い優先順位の要求はインバータ517を使用してサービス・キュー・タイマ・要求を抑制する。高い優先順位の要求はイ

ンバタ518を使用して低い優先順位の要求およびサービス・キュー・タイマ・要求を抑制する。サービス・ジャンクタ・タイマ要求はインバタ519を使用してすべての他の要求を抑制する。インバタ520は高次の優先順位の要求グループの各々において2つの異なる優先度の要求間で選択を行うのに使用される。

次に第26図を参照して、この図は全体的に507で示す許容経路指定用のロジックの概略図である。ORゲート242は、第10、11図に関連して説明したように、特定のソースおよび行き先が少なくとも1つの仮想スター・カンパラ内に含まれているかどうかを示す信号を発生する。さらに、行き先とソースが同じであるか、あるいは、行き先状況テーブル567で示すように行き先が「ループバック」モードで置かれた場合には経路指定は許容されない。宛先とソースの一致は一組の専用ORゲート541とNORゲート542によって検出される。ループバックの場合にはインバタ543がソースから宛先への経路指定を抑制する。行き先が存在していない場合にも経路指定は禁止される。

許容経路指定用ロジック507は中央スイッチ・ロジックのP9サイクル中に使用可能とされ、ORゲート544で示すようににルート・メッセージ・リクエストおよびキュー・メッセージ・サービス・リクエストの両方について使用可能とされる。ANDゲート545がルート・メッセージ指令あるいはキュー・メッセージ指令の処理を収容させるのに必要な一致状態を解消する。不許可経路指定により処理が停止したときには、メッセージ拒絶フラグがセットされて不許可経路指定を除却プロセスに知らせる。

次に第27図を参照して、ここには高い優先順位要求のための組合せロジックが示してある。ANDゲート521によって解

消されるような逆パス・要求の第1サイクルで、ソースに現在割り当てられているジャンクタがソース・テーブル(第6図の158)から読み出され、ジャンクタ識別番号がジャンクタ・レジスタにストロープされる。ソース・テーブルへのこのエントリがクリヤされると、それはソースからのジャンクタの無効な解除を示す。また、ジャンクタ割り当ては行き先テーブル(第6図の169)からもクリヤされる。また、ジャンクタ・テーブル(第6図の170)への対応するエントリもクリヤされる。さらに、ジャンクタ制御バスへ指令が送られてソース受信機および行き先送信機からジャンクタを解除させる。

逆パス・要求のための第2の処理サイクルはANDゲート522によって解決される。ジャンクタ・レジスタに保存されたジャンクタ識別番号はソース・テーブル(第6図の168)に書き込まれる。同様に、このジャンクタ識別番号は行き先テーブル(第6図の169)にも書き込まれる共に、その割り当てられた宛先受信機、ソース送信機と一緒にジャンクタ・テーブル(第6図の170)にも書き込まれる。また、戒る指令がジャンクタ・バスに送られてそのジャンクタを行き先受信機とソース送信機に割り当て、そして、それぞれのジャンクタのための逆ジャンクタ・タイマがオンにされる。さらに、処理終了が達成される。

サービス・ジャンクタ・タイマ・要求の第1サイクルで、適了したジャンクタ・タイマについてのソースおよび行き先はゲート523に回答して得られる。ゲート524、525に回答して、サービス・ジャンクタ・タイマまたはドロップ・ジャンクタ要求の第1処理サイクルで、要求チャンネルのキューに対するキュー・ポインタはキュー・ポインタ・テーブル(第6図の171、172、173)から得られる。この場合、ソース・セレクト信号(SRC)

がゲート526によって与えられ、このときに、行き先セレクト信号(DST)はインバタ527によって抑制される。ここで、通常は、キュー・ポインタ・メモリが行き先チャンネル番号によってアドレス指定されることに従うべきである。

インバタ528およびゲート529は、ジャンクタが割り当てられないことをソース・テーブル(第6図の168)が示したならば処理を終了させる。さもないと、ゲート530およびインバタ531がソース・キューが空でないときに処理を行えるようにする。特に、ソース・キューが空であるかどうかを決定するために、キューのヘッドに対するポインタ(第6図のテーブル173の出力部)がキューのテイルに対するポインタ(第6図のテーブル173の出力部)と比較される。もしヘッドに対するポインタがテイルに対するポインタと等しいならば、そのときには、キューは空でない。この場合、ソース・チャンネル番号のためのキュー・タイマはリセットされてから始動され、フロー・コントロール・オフ指令がキューのヘッドで示されるチャンネル番号の送信機に送られる。

ゲート532によって解決されるように、サービス・ジャンクタ要求またはジャンクタ解除に対する第2処理サイクルで、ソース・チャンネル受信機にならジャンクタが割り当てられない場合には処理は終了する。さもないと、ゲート534によって検出されるように、ジャンクタ状況テーブルが割り当てジャンクタについて読み出され、ジャンクタ情報番号がレジスタにストロープされる。

ゲート535によって解決されるようにサービス・ジャンクタ・タイマまたはジャンクタ解除要求の第3処理サイクル中、割り当てられたジャンクタが不活動である場合には処理は終了し、検

サービス・フラグがセットされる。この処理状態はインバタ538およびANDゲート537によって解決される。さもないと、ゲート538によって決定されるように、ジャンクタ割り当てビットがソース受信機状況テーブル、行き先送信機状況テーブルにおいてクリヤされ、ジャンクタ活動ビットがジャンクタ状況テーブルからクリヤされ、それぞれのジャンクタ・タイマがクリヤされる。さらに、ジャンクタ制御バスを逐して指令がセットされてソース受信機と行き先送信機からジャンクタの解除を解除させ、処理が終了される。さらに、インバタ539およびゲート540によって解決されるように、行き先メッセージ・キューにならからのリクエストがある場合、その宛先キューに対するキュー・タイマが始動され、キューのヘッドに示されるチャンネル送信機にフロー・コントロール・オフ指令が送られる。

次に第28図を参照して、ここにはメッセージ・キューイング操作のための組合せロジック(第24図の487)が示してある。メッセージ・キューイング操作はメッセージ・ルート指定要求ならびにメッセージ・キュー要求の処理中にORゲート551によって示されるように生じることがある。第1サイクルでは、ゲート552によって解決されるように宛先がループバック・モードにある場合に処理は終了する。さもないと、メッセージ・ルート指定要求を処理するために、行き先受信機はメッセージ拒絶ロジック(第26図で507)によって拒絶されたテイル場合を除いてキャリヤ状況についてポーリングされる。これらの状態はインバタ553、554およびゲート555によって解決される。

ルート・メッセージまたはキュー・メッセージ指令の第2処理サイクルでは、ORゲート556がアイドル・ジャンクタがない

かどうか、メッセージキュー要求が処理されつつあるかどうか、行き先送信機がジャンクタに割り当てられているかどうか、宛先受信機がキャリヤを検出しているかどうかを決定する。もしその通りであり、そして、ソース・チャンネルが行き先キューのヘッドにあるならば、ゲート577が行き先キューのためのキュー・タイマを再始動し、処理は終了する。さもなければ、インバーク558およびゲート559によって解決されるように、キュー・エントリ・テーブルがソースが行き先キュー上にあるということを示している場合、フロー・コントロール・オン指令がソース受信機に送られ、処理は終了する。さもなければ、インバーク560によって示されるようにソースが行き先キュー上にまったくない場合、それ故に、インバーク561およびゲート562によって解決されるように、ジャンクタが行き先送信機に割り当てられるかあるいはキューが空でない場合、ゲート563はソース・チャンネル番号を行き先キュー上に置く。さらに、キュー・ポインタが更新され、エントリがキュー・エントリ・テーブルに送られてソース・チャンネル番号が行き先キュー上にあることを示す。また、フロー・コントロール・オン指令がソース・チャンネル受信機に送られ、処理は終了する。

さもなければ、ゲート562およびインバーク564がジャンクタが行き先受信機に割り当てられておらず、行き先キューが空であることを示している場合には、ゲート565がソース番号を行き先キュー上に載せる。さらに、キュー・ポインタが更新され、キュー・エントリ・テーブルは行き先キュー上にソース番号を置くに従ってセットされる。また、行き先キューのためのタイマが始動され、処理は終了する。

次に第28図を参照して、ここにはメッセージの経路指示を行

うための中央スイッチ組合わせロジックが示してある。メッセージルート指定要求のための第2処理サイクルでは、行き先受信機がキャリヤを示しておらず、行き先の送信機がジャンクタに割り当てられておらず、ジャンクタがアイドルである場合に経路指定が行われる。これらの状態はインバーク571、572およびゲート573によって解決される。さらに、ゲート574によってさらに解決されるようにもしソース・チャンネルが行き先キュー上にあるならば、キュー・ポインタを更新し、キュー・エントリ・テーブルをクリアすることによってソース番号が宛先キューから取り除かれる。また、行き先に対応するキュー・タイマがクリアされる。

次に第30図を参照して、ここには完了したタイマを有するキューを作動させるための中央スイッチ・ロジック内の組合わせロジックが概略図で示してある。第1サイクルで、ゲート581で解決されるように、満了キュー・タイマの識別番号が保存される。また、満了タイマに相当するキューのヘッドのところでのエントリがキュー・ポインタを更新し、キュー・エントリ・テーブルをクリアすることによって取り除かれる。さらに、キュー・タイマがクリアされる。

サービス・キュー・タイマ・リクエストの処理は、ゲート582によって解決されるように、第2サイクルで終了する。付加的なゲート583がキューが空でないかどうかを決定し、もう空ならば、フロー・コントロール・オフ指令が受けるチャンネル番号を有するチャンネル受信機に送られる。このチャンネル番号は満了したキュー・タイマの番号に相当する行き先キューの新しいヘッドのところに見出される。また、満了キュー・タイマはリセットされてから始動される。これは中央スイッチ・ロジックの転送を完

了させる。

以上、チャンネル送信機とチャンネル受信機を複数のジャンクタのうちの或る特定のジャンクタに切り換える改良したコンピュータ相互接続カプラーについて説明してきた。多数のジャンクタを利用できるので、カプラーの信頼性および帯域幅はかなり増大する。メッセージの経路を指定しながらバッファ内にメッセージの初期部分を格納することによって、このカプラーと一緒に現存のコンピュータ機器を使用することができる。このコンピュータ相互接続カプラーは、そこを通してやや大きくなった送信遅延を許し、そこを通過するメッセージを変更するとは考えられない。

このコンピュータ相互接続カプラーは、たとえば多数のスター・カプラーからなる場合でも動作するようにプログラムすることができるし、単に中央ロジック状態メモリを高プログラムするだけで物理的な再配線を行うことなくスター・カプラーに接続する装置群を渡えることができる。また、これら仮想スター・カプラーの定義はコンピュータ相互接続カプラー間の仮想スター・カプラー定義を交換することによって多数のカプラーの各々が管理一貫して行うことができる。

回転優先順位手法を使用し、また、バッファレーンからチャンネル・インターフェース・ボードヘスロット番号を送ることによって、コンピュータ相互接続カプラーは付加的なボードを追加するだけで増分拡張できる。カプラーに当初接続したコンピュータの機器に関して新しいアクセス優先権を確保するために再プログラムリングする必要はない。このような回転優先順位手法を拡張するためのロジックおよび信号接続は略形配置に従ってロジックを細分割し、重複させることによってかなり簡略化される。

このコンピュータ相互接続カプラーは診断プロセッサによってモニタされ、不良状態を示す種々のタイマ、フラグがあるので、断りは特定の箇所に正確に示され、診断時のシステムの状態がボード上の不揮発性メモリに記憶される。修理プロセスを加速することができると共に、ボード上の断りがボードを両すえ付けする前に修復される程度が高くなる。

このコンピュータ相互接続カプラーの重いローディング状態を取り扱う能力はメッセージ・リクエストをキューイングし、フロー・コントロールを用いてメッセージ要求が行き先キューのヘッドに現われるまで再送信を禁止することによって促進される。また、入力メッセージを休止を置いてフロー・コントロール・キャリヤに挿入し、通常のメッセージ肯定応答プロトコルを使用して挿入メッセージを知らせることによってフロー・コントロールはより効率良く行われる。挿入メッセージの交換およびその肯定応答の後、フロー・コントロールは当初のメッセージ要求の再送信を必要とすることなく継続できる。このようなメッセージ要求のキューイング、サービスメングは、データ処理装置がフロー・コントロールがオフになった後に正なる期間内でこれらのメッセージを再送信しない場合に予約したチャンネルを解約する一組のキュー・タイマを使用して非常な信頼性をもってなされる。メッセージ経路指定、キューイングおよびフロー・コントロールの全体的なスキームは或る種のリクエストが同じ優先レベルでまとめられている多レベル優先手法に従ってサービス要求を実行する中央ロジックを設けることによって一層効率の良いものとなる。

図 1

チャンネル選択ロジック用論理式

(222 in FIG. 9)

(for N=7 to select one of eight channels)

CH0: OUTPUT = CH0-RQ*EN7 +
 (CH0-RQ*CH1-RQ*CH2-RQ*CH3-RQ*CH4-RQ*CH5-RQ*CH6-RQ*CH7-RQ*EN6);
 (CH0-RQ*CH2-RQ*CH3-RQ*CH4-RQ*CH5-RQ*CH6-RQ*CH7-RQ*EN1);
 (CH0-RQ*CH3-RQ*CH4-RQ*CH5-RQ*CH6-RQ*CH7-RQ*EN2);
 (CH0-RQ*CH4-RQ*CH5-RQ*CH6-RQ*CH7-RQ*EN3);
 (CH0-RQ*CH5-RQ*CH6-RQ*CH7-RQ*EN4);
 (CH0-RQ*CH6-RQ*CH7-RQ*EN5);
 (CH0-RQ*CH7-RQ*EN6)
 CH1: OUTPUT = {add 1, with modulo-8 arithmetic, to each
 number in the above equation)
 CH7: OUTPUT = CH7-RQ*EN6 +
 (CH7-RQ*CH0-RQ*CH1-RQ*CH2-RQ*CH3-RQ*CH4-RQ*CH5-RQ*CH6-RQ*EN7);
 (CH7-RQ*CH1-RQ*CH2-RQ*CH3-RQ*CH4-RQ*CH5-RQ*CH6-RQ*EN0);
 (CH7-RQ*CH2-RQ*CH3-RQ*CH4-RQ*CH5-RQ*CH6-RQ*EN1);
 (CH7-RQ*CH3-RQ*CH4-RQ*CH5-RQ*CH6-RQ*EN2);
 (CH7-RQ*CH4-RQ*CH5-RQ*CH6-RQ*EN3);
 (CH7-RQ*CH5-RQ*CH6-RQ*EN4);
 (CH7-RQ*CH6-RQ*EN5)

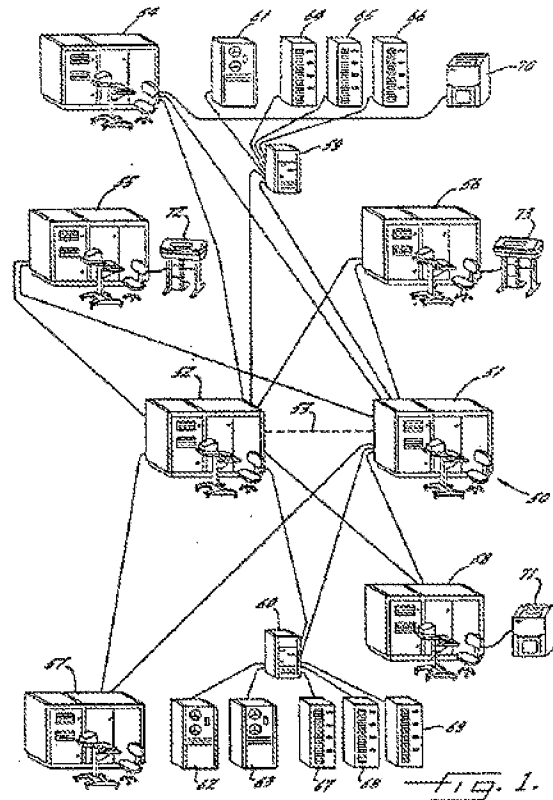


FIG. 1.

図 2 (内容に変更なし)

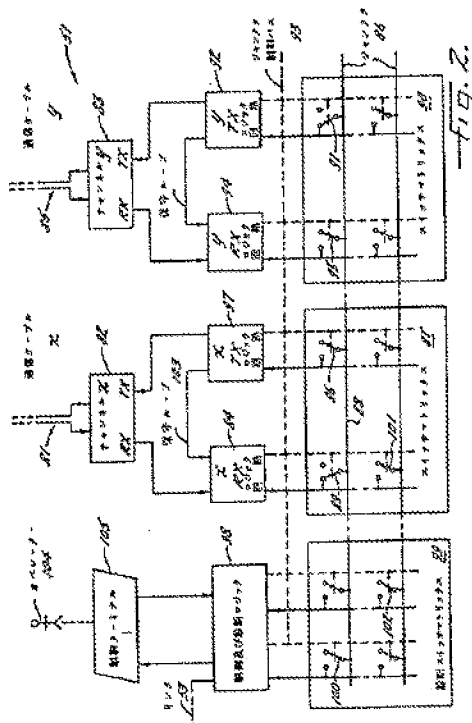


FIG. 2.

図 3 (内容に変更なし)

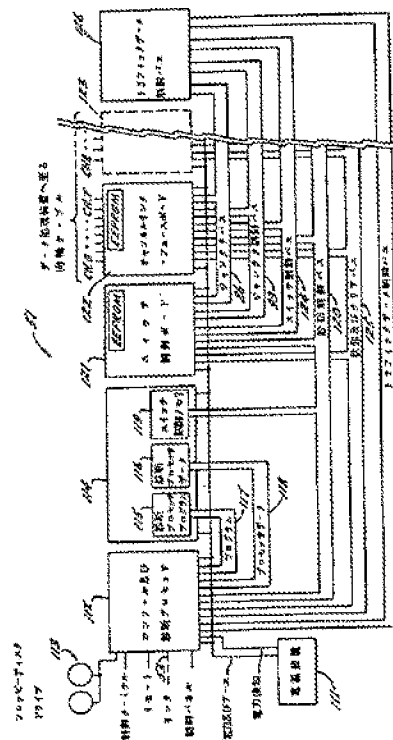


FIG. 3.

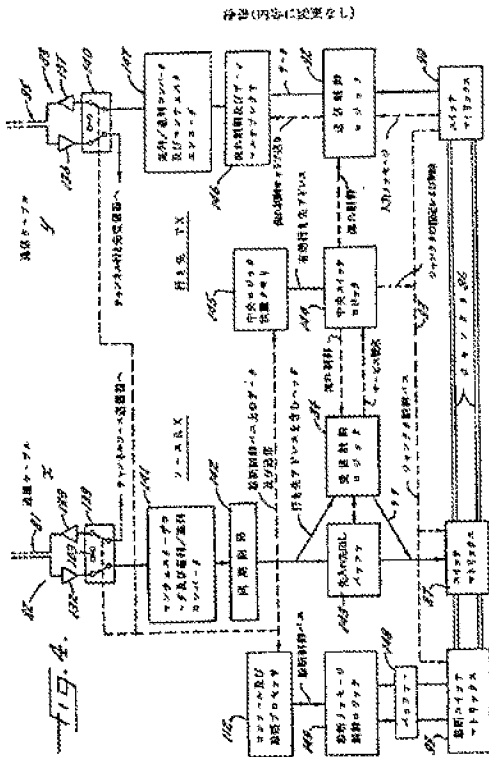


図15 (内容に変更なし)

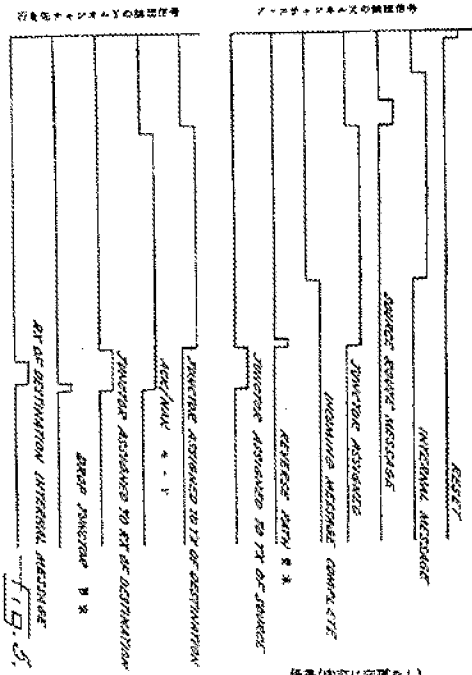
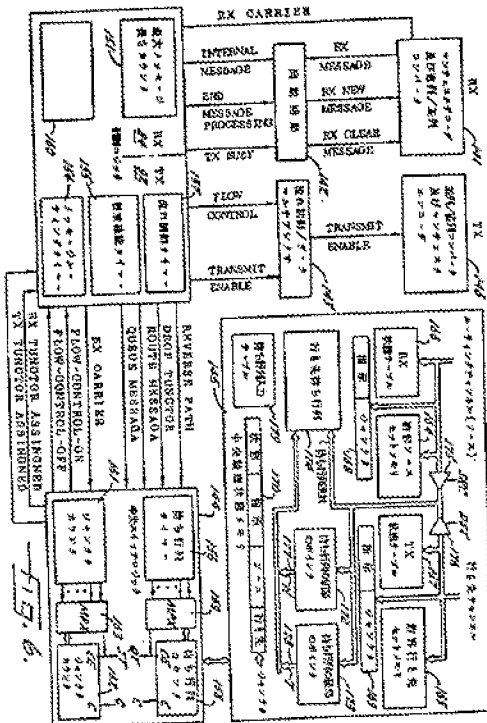


図17 (内容に変更なし)

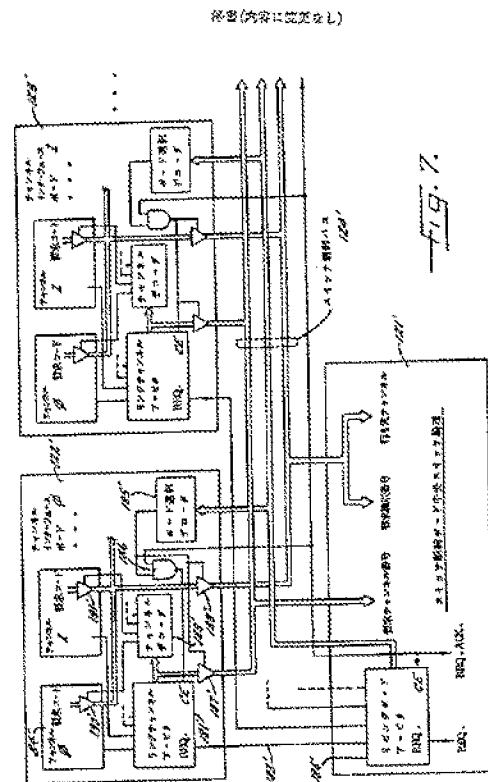
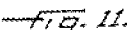
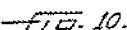
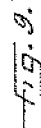
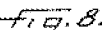


図18 (内容に変更なし)

特選(内容は変更なし)



浄書(内容に変更なし)

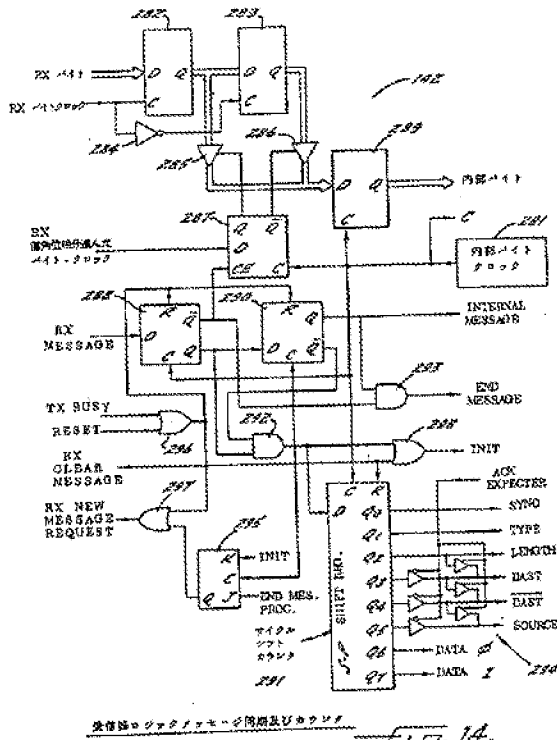


Fig. 14.

浄書(内容に変更なし)

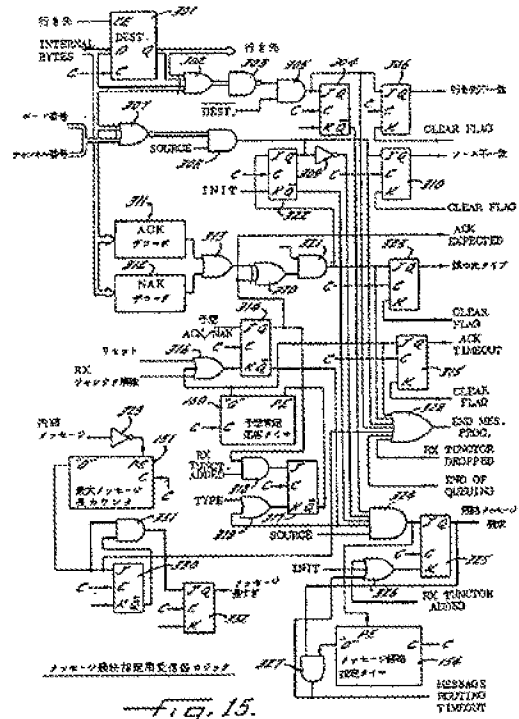


Fig. 15.

浄書(内容に変更なし)

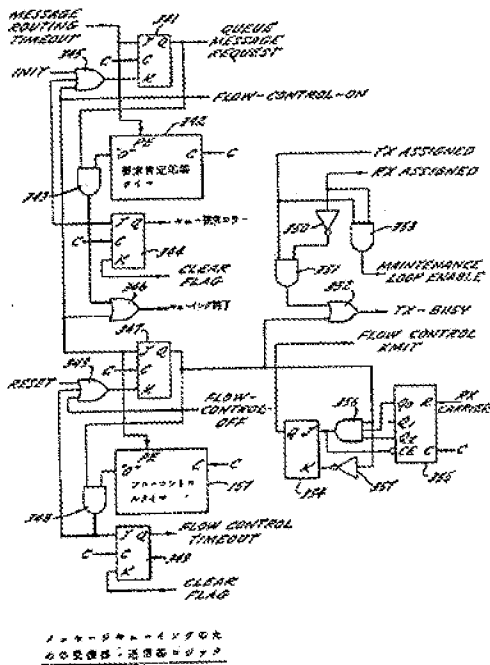
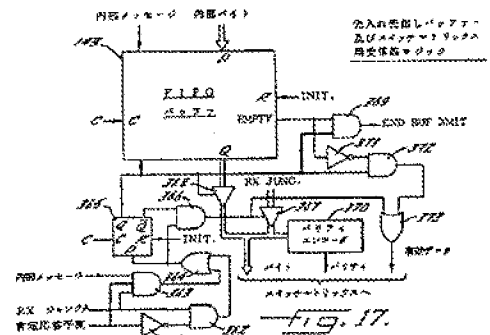


Fig. 16.

浄書(内容に変更なし)



浄書(内容に変更なし)

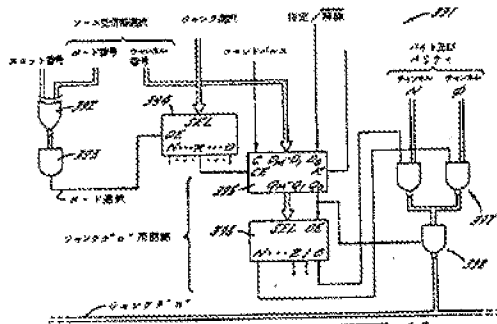


Fig. 19.

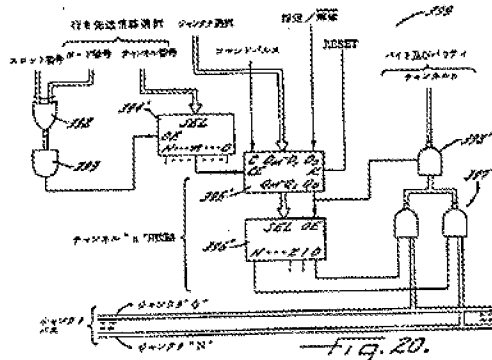
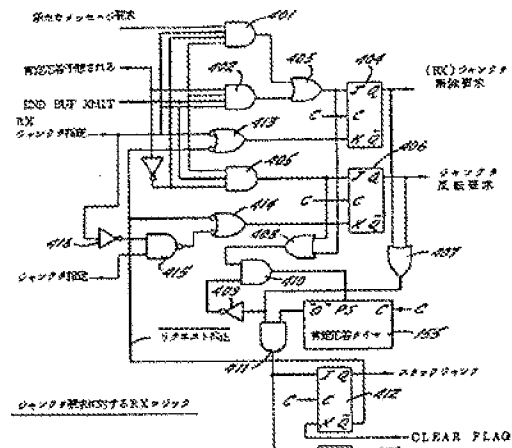


Fig. 20.

浄書(内容に変更なし)



平成 年 月 日

待時序長發 詩 田 文 毅 殿

1. 事件の表示 PCT/US88/03571

2. 発明の名称 クロスバースイッチ採用コンピュータ
相互結合カブラ

3. 修正をする者
事件との関係 出 願 人

名 称	デジタル イクイブメント コーポレーション
-----	--------------------------

4. 代 鹽 人

住 所 東京都千代田区丸の内3丁目3番1号
電話 (代) 211-3741

氏 名 (5985) 奔理士 中 村

2.補正命令の日付 平成2年2月27日

5. 補正の対象

2. 補正の内容 別紙のとおり

明細書、請求の範囲および図面 (Fig. 2~30) の翻訳文
の抄本 (内容に差支なし)

方 式 合

<div style="display: flex; justify-content: space-between;"> CONFIDENTIAL International Reference No. </div>		<div style="display: flex; justify-content: space-between;"> CONFIDENTIAL Doc/LTR 28/07/52 </div>
<div style="display: flex; justify-content: space-between;"> CLASSIFICATION OF DOCUMENT BY SOURCE COUNTRY CLASSIFICATION BY DESTINATION COUNTRY </div>		
<div style="display: flex; justify-content: space-between;"> 100-0 06 F 13/40; 0 06 F 15/18; 0 06 F 13/16; 0 06 F 12/22 </div>		
<div style="display: flex; justify-content: space-between;"> IN FIELD SEARCHES Reference Number and Edition </div>		
<div style="display: flex; justify-content: space-between;"> Category Classification groups </div>		
<div style="display: flex; justify-content: space-between;"> 100-0 0 06 F </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> IN DOCUMENTS CONSIDERED TO BE RELEVANT </div>		
<div style="display: flex; justify-content: space-between;"> Category 1 Class of Document and subcategory, when applicable, of the document category 1 Document in Class No. 1 </div>		
A	<p>PTCE 14. The Fourteenth International Conference on Fault-Tolerant Computing. 20-22 June 1966, Kissimmee, Florida. ZEEB, (1967).</p> <p>P. Chilton et al. "MURDER - a high performance, high availability packet switch", pages 164-169</p> <p>see page 164; column 1, line 34; page 164, column 2, lines 1-60; page 165, paragraph 1-6; page 166; page 167, paragraph 10; page 168, paragraph 11; page 169, paragraph 11; figures 1-4</p>	<p>2, 2, 4-9, 14-20, 22, 24-39</p>
A	<p>EP, A, 005981A (IBM)</p> <p>15 September 1962</p> <p>see page 2, line 27 - page 8, line 4; page 3, lines 13-21; page 10, lines 2-5, 24-33; figure 3; page 21, lines 10-15, 22; page 22, lines 1-6, 24; page 23, lines 1-10; page 25, lines 18-20; page 31, lines 20-23; figures 1-3, 5, 7, 12-13</p>	<p>1-39</p>
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 2 Class of Document and subcategory, when applicable, of the document category 2 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 3 Class of Document and subcategory, when applicable, of the document category 3 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 4 Class of Document and subcategory, when applicable, of the document category 4 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 5 Class of Document and subcategory, when applicable, of the document category 5 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 6 Class of Document and subcategory, when applicable, of the document category 6 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 7 Class of Document and subcategory, when applicable, of the document category 7 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 8 Class of Document and subcategory, when applicable, of the document category 8 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 9 Class of Document and subcategory, when applicable, of the document category 9 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 10 Class of Document and subcategory, when applicable, of the document category 10 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 11 Class of Document and subcategory, when applicable, of the document category 11 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 12 Class of Document and subcategory, when applicable, of the document category 12 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 13 Class of Document and subcategory, when applicable, of the document category 13 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 14 Class of Document and subcategory, when applicable, of the document category 14 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 15 Class of Document and subcategory, when applicable, of the document category 15 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 16 Class of Document and subcategory, when applicable, of the document category 16 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 17 Class of Document and subcategory, when applicable, of the document category 17 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 18 Class of Document and subcategory, when applicable, of the document category 18 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		
<div style="display: flex; justify-content: space-between;"> Category 19 Class of Document and subcategory, when applicable, of the document category 19 </div>		
<div style="display: flex; justify-content: space-between;"> Document(s) Submitted After their expiration. Differentiated by the Source that such Document(s) are included in the Field Searching </div>		

Memorandum Release No. FCI/OS 88/63371

ALL DOCUMENTS CONSIDERED TO BE RELEASABLE (CONTINUED FROM THE SECOND PAGE)

Category: ☐ Excluded from automatic downgrading and declassification
☐ Excluded from automatic, but not manual, downgrading and declassification
☐ Not for automatic or manual downgrading and declassification

Exemption is Claimed: ☐

A. EP. A. 0110549 (TANDEM COMPUTERS INC.) 1-39
13 June 1986
see page 9, line 7; page 4; page 5,
lines 1-2; page 7, lines 4-25; page
10, lines 1-28; page 11, line 25;
page 12, lines 1-5, 25; page 13, lines
24-32; page 15, lines 5-29; page 18,
lines 6-12; page 21, lines 14-30; page
27, lines 10-32; page 28, line 17;
page 30, lines 1-8; page 31, figures
2-5

A. EP. A. 0125773 (ADLE COMPUTER) 1-39
31 November 1984
see abstract; page 2, line 13; pages
3-6; page 9, line 22; page 10, lines
1-14, 24; page 11, line 27; page 13,
lines 1-3, 10-23, 27-34; page 18, lines
6-25; page 14, lines 5-13; page 15,
lines 5-10, 14-24; page 16, lines 6-11;
page 23, lines 12-17, 31-34; page 24,
lines 3-7; page 25, line 21; page 26,
lines 1-9, 13; page 27, lines 1-8, 12;
figures 4-15

US 8803571
 SA 25394

This group lists the current known contacts residing in the named hemisphere (ref to the corresponding international phone report).
 The numbers are included in the European Police Office (EPO) file as 7107-88.
 The European Police Office will be kept advised of these activities which are hereby given for the purpose of information.

Partial movement group to month, except	Publication date	Partial family numbers(2)	Publication date
EP-A- 0059838	18-09-82	JP-A- 07197323 AU-A- 2958782 US-A- 4386934 CA-A- 1271595 GB-B- 584724 DE-A- 3278988	28-09-82 02-10-82 02-10-83 24-07-84 13-06-85 07-07-88
EP-A- 0110569	12-05-84	AU-A- 2058763 JP-A- 59132763 GB-A, B 2132188 CA-A- 1210372 AU-B- 550977 US-A- 4563706 US-A- 4667287	03-05-84 30-07-84 18-07-84 02-09-86 30-04-87 05-05-87 10-05-87
EP-A- 0125773	21-11-84	JP-A- 589215156 US-A- 4547080 CA-A- 1242742	05-12-84 15-10-85 14-10-86

第1頁の続き

⑤Int. Cl.⁵

G 06 F 15/16

識別記号

4 0 0 Y

庁内整理番号

6745-5B

- | | | | |
|------|---------------|------------------------------|-----------------------------|
| ⑥発明者 | リード ハロルド エイ | アメリカ合衆国 マサチューセッツ州 01503 | バーリン クロス
ビー ロード 32 |
| ⑥発明者 | ヘンリー バリー エイ | アメリカ合衆国 ニューハンプシャー州 03303 | ベナクワク ワ
シントン ストリート 84 |
| ⑥発明者 | カクゾー チャールズ イー | アメリカ合衆国 マサチューセッツ州 01570 | ダツドリー ショ
ーフイールド アベニュー 78 |
| ⑥発明者 | ミルズ ミルトン ヴイー | アメリカ合衆国 マサチューセッツ州 02121-1410 | ボストン
アボッツフオード ストリート 22 |
| ⑥発明者 | カーン ロナルド シー | アメリカ合衆国 マサチューセッツ州 02054 | ミルズ リτζ
ストリート 53 |
| ⑥発明者 | メツツ ドナルド アール | アメリカ合衆国 マサチューセッツ州 01430 | アツシユバーナム
コリー ヒル ロード 48 |